



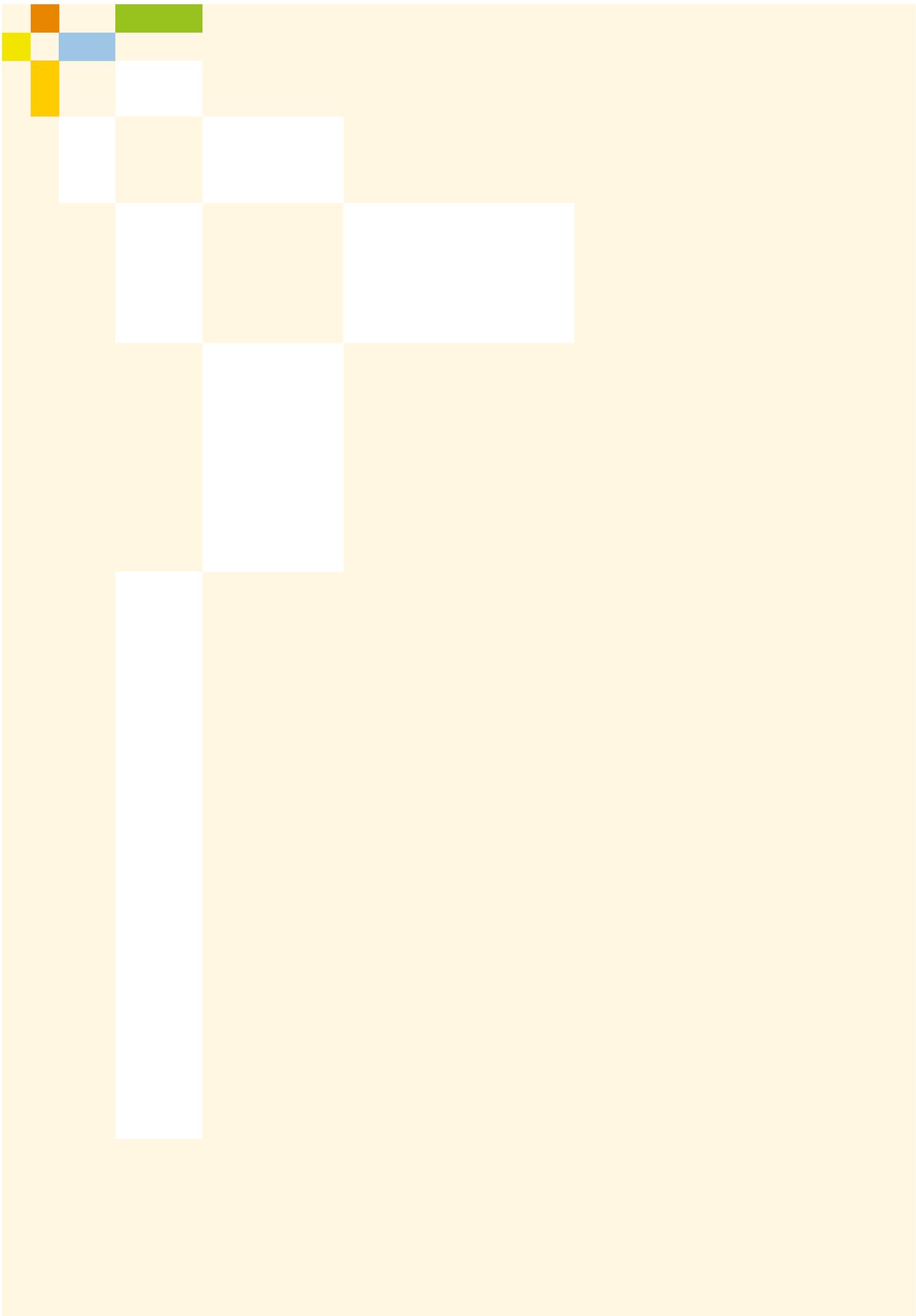
acatech IMPULS

# Quelloffene Design- instrumente für souveräne Chipentwicklung

Wolfgang Nebel, Robert Weigel (Hrsg.)

 acatech

DEUTSCHE AKADEMIE DER  
TECHNIKWISSENSCHAFTEN



acatech IMPULS

# Quelloffene Design- instrumente für souveräne Chipentwicklung

Wolfgang Nebel, Robert Weigel (Hrsg.)



## Die Reihe acatech IMPULS

In dieser Reihe erscheinen Debattenbeiträge und Denkanstöße zu techniwissenschaftlichen und technologiepolitischen Zukunftsfragen. Sie erörtern Handlungsoptionen, richten sich an Politik, Wissenschaft und Wirtschaft sowie die interessierte Öffentlichkeit. IMPULSE liegen in der inhaltlichen Verantwortung der jeweiligen Autorinnen und Autoren.

Alle bisher erschienenen acatech Publikationen stehen unter [www.acatech.de/publikationen](http://www.acatech.de/publikationen) zur Verfügung.

# Inhalt

<b>Zusammenfassung</b>	<b>5</b>
<b>Projekt</b>	<b>7</b>
<b>1 Mikroelektronik als Schlüssel für wirtschaftliche Prosperität und Souveränität</b>	<b>9</b>
1.1 Geopolitische Risiken: Bedeutung des Chipdesigns für die technologische Souveränität	9
1.2 Stärken und Schwächen der deutschen und europäischen Mikroelektronikindustrie	10
1.3 Quelloffene Ansätze als Baustein für innovative Chipdesignökosysteme	14
<b>2 Technologiedomänen und -kette der Mikroelektronik</b>	<b>16</b>
2.1 Technologiedomänen der Mikroelektronik	16
2.2 Die Technologiekette der Mikroelektronik	18
2.2.1 Entwurfsautomatisierung für digitale Schaltungen	20
2.2.2 Entwurfsautomatisierung für analoge Schaltungen	21
2.2.3 Packaging & Test	23
<b>3 Quelloffene Ansätze für Designinstrumente</b>	<b>25</b>
3.1 Zielbild einer quelloffenen Entwurfskette	26
3.1.1 Open Source als Alternative und Ergänzung zu proprietären Lösungen	27
3.1.2 Open Source als Enabler für Spezialanwendungen und Zukunftstechnologien	32
3.2 Geschäftliche und organisatorische Rahmenbedingungen quelloffener Designinstrumente	33
3.2.1 Wertschöpfung von Open Source: Bessere Bildung durch transparente Strukturen	33
3.2.2 Wertschöpfung mit Open Source: Motivation zur Nutzung quelloffener Designinstrumente	35
3.2.3 Wertschöpfung durch Open Source: Kommerzialisierung quelloffener Designinstrumente	38



3.3	Open-Source-Ökosysteme – Governance, Recht und Standardisierung	43
3.3.1	Governance auf Mikroebene: Individuelle Akteure in Open-Source-Projekten	43
3.3.2	Governance auf Mesoebene: Organisation und Entscheidungen in Open-Source-Projekten	44
3.3.3	Makroebene der Governance: Rechtliche Rahmenbedingungen und Rolle der Standardisierung für Open-Source-Projekte	45
<b>4</b>	<b>Anwendungsfelder und spezifische Anforderungen: Status quo und Ausblick</b>	<b>49</b>
4.1	Deutschland in der Mid-Tech-Falle	49
4.2	Verschiedene Stakeholdertypen und ihr jeweiliges Potenzial im Hinblick auf quelloffene Entwicklungswerkzeuge	51
4.3	Konkrete Anwendungsfelder und ihre jeweiligen spezifischen Anforderungen	53
4.4	Von Push zu Pull: Marktgetriebene Innovationen für Chipdesigntools durch Anwenderindustrien	55
<b>5</b>	<b>Erkenntnisse und Handlungsoptionen</b>	<b>56</b>
5.1	Handlungsoptionen für die Wissenschaft	56
5.2	Handlungsoptionen für die Wirtschaft	57
5.3	Handlungsoptionen für die Politik	58
	<b>Glossar</b>	<b>59</b>
	<b>Literatur</b>	<b>63</b>

# Zusammenfassung

Chipdesign ist ein zentraler Bestandteil in der Entwicklung innovativer Mikroelektronik. Ein Kompetenzzuwachs in diesem Bereich ist essenziell, um die Wettbewerbsfähigkeit zu verbessern und die geopolitische Verwundbarkeit Europas und Deutschlands in diesem Bereich zu reduzieren. Um das Potenzial Deutschlands besser zu nutzen, setzt das **Bundesministerium für Bildung und Forschung (BMBF)** mit der **Designinitiative Mikroelektronik** gezielte Maßnahmen zur Stärkung des Chipdesign-Ökosystems um.

Im Rahmen der Designinitiative Mikroelektronik verfolgt das **Teilprojekt DI-QDISC** das Ziel, die Potenziale und Herausforderungen **quelloffener Designinstrumente für souveräne Chipentwicklung** systematisch zu analysieren und Handlungsoptionen für deren gezielte Weiterentwicklung abzuleiten. Dazu wird das Ökosystem quelloffener Designressourcen und Werkzeuge für Entwurfsautomatisierung digitaler Schaltungen (EDA-Tools) entlang der gesamten Entwicklungskette der Mikroelektronik untersucht. Im Fokus sind der aktuelle Stand, Entwicklungsperspektiven und bestehende Hemmnisse für den Einsatz dieser Werkzeuge in den Bereichen Analog-, RF-, Digital- und Mixed-Signal-Design sowie für mikroelektromechanische Systeme (MEMS). Neben technologischen Aspekten werden auch wirtschaftliche und anwendungsbezogene Fragestellungen betrachtet.

Quelloffene Designinstrumente sind bereits heute eine **Er Ergänzung zu proprietären Lösungen** und leisten einen Beitrag zur europäischen Souveränität im Chipdesign. Dies gilt vor allem für deren zentrale Rolle in der akademischen Ausbildung. Den umfassenden industriellen Anforderungen werden sie allerdings noch nicht gerecht.

Besonders vielversprechend sind quelloffene Designinstrumente für **reife Technologieknoten**, sowohl im Digitaldesign wie auch im Analogdesign. Hier können quelloffene Designwerkzeuge die Eintrittsbarrieren reduzieren, indem sie für Teile der Prozesskette eine einfach zugängliche und kostengünstige Alternative zu proprietären Angeboten darstellen, insbesondere für die Phase der Designraumexploration am Anfang des Designprozesses.

Praxisbeispiele aus Bildung und Forschung und der Wirtschaft zeigen bereits heute, dass **Innovationsmechanismen aus dem Open-Source-Softwarebereich auf die Entwurfsautomatisierung in der Mikroelektronik übertragbar** sind. Die Innovationsmechanismen der offenen Softwareentwicklung können perspektivisch auch Innovationsprozesse im Chipdesign beschleunigen. Der weitgehend

immaterielle Charakter des Chipdesigns macht eine solche Herangehensweise vielversprechend, da neue Lösungen für Entwurfswerkzeuge – ähnlich wie in der KI-Forschung – transparent geteilt, getestet und optimiert werden können.

Die **Befähigung von Kleinen und mittleren Unternehmen im Chipdesign** durch quelloffene Entwicklungswerkzeuge ist ein wichtiger Beitrag, um Deutschlands Position in Spitzentechnologien im internationalen Wettbewerb zu behaupten. Im Vergleich zu anderen Regionen hat Deutschlands technologische Leistungsfähigkeit in den letzten Jahren abgenommen. Differenzierungsmerkmale in den industriellen Kernmärkten werden zunehmend auf der Ebene des Chipdesigns erarbeitet, weshalb eine tiefere Wertschöpfung durch Forschung und Entwicklung erforderlich ist.

Um die **technologische Souveränität und Innovationsfähigkeit** im Bereich Mikroelektronik in Deutschland und Europa zu stärken und ein **selbsttragendes Ökosystem für quelloffene Entwurfswerkzeuge** aufzubauen, werden von der Projektgruppe folgende **Maßnahmen** empfohlen:

- **Fachkräfteverfügbarkeit:** Angesichts des drohenden Know-how-Verlusts durch Pensionierungen und des Bedeutungsgewinns der Mikroelektronik sollten die Ausbildungskapazitäten an den Hochschulen in allen für den Chipentwurf relevanten Bereichen ausgebaut werden. Durch international konkurrenzfähige Arbeitsbedingungen und Programme wie die Humboldt-Professuren könnten gezielt internationale Spitzenkräfte für den Standort gewonnen werden. Darüber hinaus sollte der Nachwuchs früh die Möglichkeit bekommen, im Rahmen eigener kleiner Chipentwicklungsprojekte Hand-on-Erfahrungen mit quelloffenen Werkzeugen für den Chipentwurf zu sammeln.
- **Industriereife durch Unternehmensbeteiligung:** Ein unabhängiges, überwiegend von der Industrie getragenes Open-Source-EDA-Anwenderforum (beispielsweise in Form einer Stiftung) könnte als zentrale Schnittstelle zwischen Anwendern und Entwicklern dienen, um quelloffene Designwerkzeuge gezielt weiterzuentwickeln. Durch direkten Austausch lassen sich gemeinsame Standards erarbeiten und eine nahtlose Integration in industrielle Prozesse ermöglichen. Eingebettet in eine langfristige Halbleiterstrategie könnte dies eine marktgetriebene Innovationspolitik fördern. Darüber hinaus sollten Unternehmen – wenn möglich – bei der Auswahl von Chipdesignwerkzeugen solche bevorzugen, die offene Standards unterstützen, um die Kompatibilität mit quelloffenen Lösungen zu gewährleisten. Bei intern



entwickelten Lösungen sollte stets geprüft werden, ob diese mit der Open-Source-Community geteilt werden können.

- **Der Staat als Starthilfe:** Im Rahmen der Wirtschaftsförderung könnte der Staat drei Programme auflegen, die unterschiedliche Punkte im Entwicklungsökosystem unterstützen.
1. Im Bereich Designbefähigung, auch mit Blick auf KMU und Start-ups, sollte der Staat den Aufbau einer Designplattform als One-Stop-Shop unterstützen. Diese Plattform sollte eine lückenlose quelloffene Werkzeugkette und verschiedene Angebote für Tape-outs beinhalten. Für Firmen, die Eigenentwicklungen der Community bereitstellen möchten, könnte dieser **One-Stop-Shop als vertrauensvolle Plattform** die langfristige Maintenance gewährleisten. Auch die Integration neuer Lösungen und die Weiterentwicklung bestehender Werkzeuge könnte von dieser Organisation orchestriert und auf der eigenen Plattform gehostet werden.
  2. Die deutsche Industrie beteiligt sich bislang nur sehr wenig zu der Weiterentwicklung quelloffener Werkzeuge zur Chipentwicklung. Als Anreiz, um sich neben dem eigentlichen Kerngeschäft mit quelloffenen Entwurfswerkzeugen zu beschäftigen und zu deren Weiterentwicklung zur Industriereife beizutragen, wird deshalb ein geförderter **EDA-Entwicklungs-Voucher** vorgeschlagen. Unternehmen können sich um einen Voucher für einen Use Case bewerben. Mit diesem Voucher können sie Entwicklungsaufträge für die Weiterentwicklung quelloffener EDA-Tools vergeben, die dann unter einer Open-Source-Lizenz stehen.
  3. Von dem Aufbau einer nahtlosen Entwicklungskette würde das gesamte europäische Halbleiterökosystem profitieren. Die Regierung sollte daher die Entwicklung von **quelloffenen Process Design Kits (PDKs)** – beispielsweise 22 nm<sup>1</sup> bei GlobalFoundries und 130 nm beim Leibniz-Institut für innovative Mikroelektronik (IHP) – unterstützen.

1 | Die gängige Bezeichnung für Herstellungsprozesse in der Halbleitertechnik ist die Angabe der kleinsten fotolithografisch herstellbaren Strukturgrößen in Nanometern (nm).

# Projekt

## Projektleitung

- Prof. Dr.-Ing. Wolfgang Nebel, Carl von Ossietzky Universität Oldenburg, edacentrum e.V.
- Prof. Dr.-Ing. mult. Robert Weigel, Friedrich-Alexander-Universität Erlangen-Nürnberg

## Mitglieder der Projektgruppe

- Prof. Dr.-Ing. Wolfgang Ecker, Infineon Technologies AG
- Prof. Dr. Claudia Eckert, Technische Universität München/ Fraunhofer-Institut für Angewandte und Integrierte Sicherheit AISEC/acatech Präsidium
- Werner Ertle, Intel Deutschland GmbH
- Prof. Dr.-Ing. Friedel Gerfers, Technische Universität Berlin
- Dr.-Ing. Christian Herber, NXP Semiconductors Germany GmbH
- Prof. Dr. Andreas Herkersdorf, Technische Universität München
- Prof. Dr.-Ing. Gerhard Kahmen, IHP GmbH – Leibniz-Institut für innovative Mikroelektronik/Brandenburgische Technische Universität Cottbus-Senftenberg
- Prof. Dr. Christoph Kutter, Universität der Bundeswehr/ Fraunhofer-Institut für Elektronische Mikrosysteme und Festkörper-Technologien EMFT
- Prof. Dr. Harald Pretl, Johannes Kepler Universität, Linz
- Dr. Heike Riel, IBM Research Zürich
- Prof. Dr.-Ing. Ulf Schlichtmann, Technische Universität München
- Dr. René Scholz, IHP GmbH – Leibniz-Institut für innovative Mikroelektronik
- Prof. Dr.-Ing. Georg Sigl, Technische Universität München/ Fraunhofer-Institut für Angewandte und Integrierte Sicherheit AISEC
- Prof. Dr.-Ing. Jürgen Teich, Friedrich-Alexander-Universität Erlangen-Nürnberg
- Prof. Dr.-Ing. Stefan Wallentowitz, Hochschule München
- Prof. Dr.-Ing. Norbert Wehn, Rheinland-Pfälzische Technische Universität Kaiserslautern-Landau

## Befragte Expertinnen und Experten

- Felix Aßmann, Bosch Sensortec GmbH
- Dr. Reinhard Berger, Jena-Optronik GmbH
- Andreas Brüning, Fraunhofer Verbund Mikroelektronik
- Nina Engelhardt, YosysHQ GmbH
- Dr. Thomas Galler, Endress+Hauser SE+Co. KG
- Massimiliano Giacometti, PlanV GmbH
- Dr.-Ing. Georg Gläser, IMMS Institut für Mikroelektronik- und Mechatronik-Systeme gemeinnützige GmbH
- Daniel Haack, DIN – Deutsches Institut für Normung e.V.
- Thomas Harms, Infineon Technologies AG
- Prof. Dr.-Ing. Albert Heuberger, Fraunhofer-Institut für Integrierte Schaltungen IIS
- Thomas Heurung, Siemens Electronic Design Automation GmbH
- Michael Hosemann, Siemens Healthineers AG
- Dr. Michael Kissner, Akhetronics GmbH
- Prof. Andrew B. Kahng
- Anton Klotz, Fraunhofer-Institut für Elektronische Mikrosysteme und Festkörper-Technologien EMFT
- Dr. Helmut Lagger, GPP Communication GmbH & Co. KG
- Dr. Siegbert Martin, Tesat-Spacecom GmbH & Co. KG
- Eric Monchalain, Eviden SAS
- Peter Pessl, ams-OSRAM AG
- Dr.-Ing. Reinhard Ploss, Knorr-Bremse AG
- Tomi Rantakari, ChipFlow S.L.
- Prof. Dr. Steffen Reith, Hochschule RheinMain, Fachbereich DCSSM
- Prof. Dr. Bernhard Rumpe, Rheinisch-Westfälische Technische Hochschule Aachen
- Christoph Sandner, Infineon Technologies Austria AG
- Prof. Dr.-Ing. Patrick Scheele, Ferdinand-Braun-Institut gGmbH, Leibniz-Institut für Höchstfrequenztechnik
- Dr. Antonia Schmalz, SPRIN-D – Bundesagentur für Sprunginnovationen
- Prof. Dr.-Ing. Jörg Schulze, Fraunhofer-Institut für Integrierte Systeme und Bauelementetechnologie IISB
- Dr. Martin Schwab, GPP Communication GmbH & Co. KG
- Dr. Christopher Trummer, TUM Venture Labs
- Matt Venn, Tiny Tapeout Ltd., YosysHQ GmbH
- Prof. Dr. Robert Wille, Technische Universität München

Zudem wurden Hintergrundgespräche mit der VDI/VDE Innovation + Technik GmbH sowie dem Bundesministerium für Bildung und Forschung geführt.



## Projektteam

- Dr.-Ing. Patrick Bollgrün, acatech Geschäftsstelle
- Dr. Sven Grundmann, acatech Geschäftsstelle
- Dr. Lisa Risch, acatech Geschäftsstelle

## Projektlaufzeit

08/2024–09/2025

## Förderung

Das Projekt DI-QDISC wird durch das Bundesministerium für Bildung und Forschung gefördert – Förderkennzeichen 16ME1016.

GEFÖRDERT VOM



Bundesministerium  
für Bildung  
und Forschung

# 1 Mikroelektronik als Schlüssel für wirtschaftliche Prosperität und Souveränität

Mikroelektronik ist das Herzstück fortschrittlicher Technologien und eine treibende Kraft für Innovation und Wachstum. In der jüngeren Vergangenheit wurde durch verschiedene Krisen nicht nur die Bedeutung, sondern auch das Ausmaß einseitiger Abhängigkeiten Deutschlands und Europas in der Mikroelektronik offengelegt. Während die Chipfertigung hohe politische Aufmerksamkeit erfährt, wird oft vernachlässigt, dass sich viele Akteure in der Halbleiterbranche auf die Vorstufe der Produktion – das **Chipdesign** – konzentrieren, wo mittlerweile ein **wesentlicher Anteil der Wertschöpfung und Innovation** stattfindet.

Zur Gewährleistung der Versorgungssicherheit bei Chips in etablierten Branchen, für den Aufbau neuer Industrien sowie als Beitrag zur europäischen **Verteidigungsfähigkeit** muss Deutschland – im Bündnis mit anderen EU-Staaten – verlorene Fähigkeiten im Chipdesign wiedererlangen, bestehende Fähigkeiten stärken und neue Fähigkeiten strategisch entwickeln.

Durch die Konzentration auf wenige große Akteure hat sich bei den **Designinstrumenten** für die Halbleiterentwicklung ein eingespieltes **Oligopol** mit wenigen Anbietern etabliert, deren Entwicklungszentren sich schwerpunktmäßig in den USA befinden. Ihre proprietäre Werkzeugkette stellt für kleinere oder neue Akteure häufig eine hohe Hürde dar. Quelloffene Designinstrumente bieten zu den etablierten proprietären Angeboten eine vielversprechende Alternative oder Ergänzung. Die Potenziale von quelloffenen Designinstrumenten liegen hierbei insbesondere bei der innovativen Chipentwicklung in bewährten Produktionsverfahren sowie bei der Entwicklung zukünftiger Computerarchitekturen und -technologien.

## 1.1 Geopolitische Risiken: Bedeutung des Chipdesigns für die technologische Souveränität

Mikroelektronik ist nicht eine unter vielen Schlüsseltechnologien – sie ist die Basis aller Zukunftsindustrien. Wirtschaftsräume, die nur wenige Schlüsselstellen in dieser Industrie besetzen, haben nicht nur geringe Wachstumsaussichten, sondern werden auch leicht zum **Opfer fremdbestimmter geopolitischer Interessen**.<sup>2,3</sup>

Die aktuelle geopolitische Großwetterlage stellt die wirtschafts- und sicherheitspolitische Architektur Deutschlands infrage. Der **technologiepolitische Nationalismus und Protektionismus** im Zeichen der „America First“-Politik bedeutet eine Zäsur für den Freihandel, während Russlands Angriffskrieg gegen die Ukraine eine **sicherheitspolitische Zeitenwende** eingeläutet hat. Mehrere Faktoren können die Halbleiterversorgung gefährden und großen Schaden anrichten. Dazu zählen:

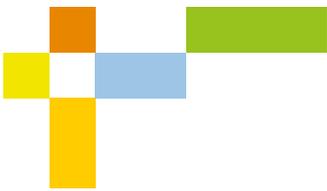
- der „**Chipkrieg**“ zwischen den USA und China,
- die „**America First**“-Politik der Trump-Administration,
- die „**Ein China**“-Politik von Xi Jinping,
- mögliche **Handelskonflikte** sowie die Versorgung mit Entwicklungswerkzeugen und Rohstoffen,
- die **Manipulation von Chips** durch geheime Hintertüren für Spionage und Cyberangriffe,
- die **Hochrüstung Russlands** und die Drohungen gegenüber NATO-Staaten sowie
- Zerstörungen in den durch **Naturkatastrophen** gefährdeten globalen Mikroelektronik-Hubs.

Mikroelektronik ist die **treibende Kraft für wirtschaftliche Innovation und Wachstum**. Als Grundlage für zahlreiche Anwendungen – von Automatisierung und Kommunikation bis hin zu Künstlicher Intelligenz (KI) und Verteidigungsfähigkeit – ist sie eine notwendige Bedingung für eine hohe technologische Leistungs- und Wettbewerbsfähigkeit. Die nicht einvernehmliche Ferndeaktivierung von an die Ukraine gelieferten Gefechtsköpfen zeigt die Verwundbarkeit und technologische Abhängigkeit Europas von den USA.

Die hohe Abhängigkeit der deutschen Industrie von Mikroelektroniksystemen aus dem Ausland ist auch ein **Risiko für das Wirtschafts- und Wohlstandsmodell Deutschlands**. Mit dem Aufkommen von KI-Robotik in der Industrie und hochkomplexen Fahrerassistenzsystemen für teilautonome Fahrzeuge drängen zunehmend außereuropäische Wettbewerber mit

2 | Vgl. Miller 2023.

3 | Vgl. McKinsey Global Institute 2024.



Mikroelektronikkompetenz in die Domänen der deutschen Industrie. Deutsche Unternehmen stehen in der Gefahr – ähnlich wie zuvor schon in der E-Mobilität mit Batterietechnologien –, große Teile ihrer Wertschöpfung an außereuropäische Chipfirmen zu verlieren, welche die entsprechenden digitalen Plattformtechnologien bereitstellen.<sup>4,5</sup> Allerdings setzen diese Hardware-Software-Plattformen Leading-Edge-Chips in den feinsten Strukturen voraus, für deren Entwicklung quelloffene Designwerkzeuge derzeit ungeeignet sind.

Sowohl aus wirtschaftspolitischen als auch aus sicherheitspolitischen Erwägungen braucht Deutschland eine **umfassende Industriestrategie**, die der herausragenden Bedeutung der Mikroelektronik für Wohlstand und Sicherheit gerecht wird und gleichzeitig die wichtige Rolle des Chipdesigns vollumfänglich berücksichtigt.<sup>6,7</sup> Erfahrungen aus der Vergangenheit lehren, dass nicht alle Entscheidungen anderer, auch verbündeter Staaten im Interesse Deutschlands und Europas sind (siehe Kasten zum E.I.S.-Projekt).

Gemessen an der Wertschöpfung ist das Chipdesign eines der lukrativsten Geschäftsfelder innerhalb der Halbleiterwertschöpfungskette: Die **Designaktivitäten machen 65 Prozent der gesamten F&E-Aktivitäten** der Branche und **53 Prozent der Wertschöpfung** aus.<sup>8</sup>

Das Geschäft wird jedoch durch amerikanische Oligopole im Bereich der Chipdesign-Software und fabriklose („fabless“) Designfirmen (wie beispielsweise NVIDIA oder Qualcomm) dominiert, die – gemessen am globalen Umsatz – mehr als zwei Drittel des Markts kontrollieren.<sup>9,10</sup>

Insbesondere bei den neuesten Technologien dominieren wenige große außereuropäische Unternehmen, die sich vorrangig auf ihre Großkunden konzentrieren. Angesichts der einseitigen Abhängigkeiten im Chipdesign und in der Chipfertigung und der massiven staatlichen Unterstützungsprogramme in konkurrierenden

Wirtschaftsregionen hat die Europäische Kommission mit dem European Chips Act gezielt reagiert (siehe Kasten zum European Chips Act).

Technologische Souveränität setzt die eigenständige Entwicklung von Mikroelektronik und das Einnehmen einer Schlüsselposition in globalen Wertschöpfungsketten voraus, da nur so kritische Abhängigkeiten (durch eine Art Faustpfand) reduziert, höchste Sicherheitsanforderungen erfüllt und eigene Innovationspfade in Spitzentechnologien gestaltet werden können.

## 1.2 Stärken und Schwächen der deutschen und europäischen Mikroelektronikindustrie

Das Feld der Halbleitertechnik teilt sich in viele **unterschiedliche Technologiedomänen** auf, die jeweils ein Teilsegment des Felds bilden (siehe Abbildung 1). Deutschland und Europa haben sich vor allem auf jene Branchen spezialisiert, in denen es innerhalb des Wirtschaftsraums heimische Abnehmer gibt. Zu diesen Abnehmern zählen insbesondere die Automobilwirtschaft, die Energietechnik und der Maschinenbau. Chips für souveränitätskritische Informationstechnologien zählen hingegen nicht zum Kerngeschäft der Halbleiterfirmen in der Europäischen Union; die umsatzstärksten Unternehmen der Halbleiterbranche befinden sich in den USA und in Asien.<sup>11</sup>

In **Nischen** wie etwa bei Leistungshalbleitern, Sensoren, Mixed Signal, Mikrocontrollern, MEMS (Micro Electro-mechanical Systems) und RF-Chips bewerten die befragten Fachleute die deutsche und europäische Industrie als wettbewerbsfähig. Im Bereich Mikrocontroller (54 Prozent) und Sensorik (41 Prozent) erreichen europäische Unternehmen sogar hohe globale Marktanteile. Doch dieser Status quo ist nach Projektionen des ZVEI bei einer ausbleibenden Industriepolitik gefährdet.<sup>12</sup>

4 | Vgl. acatech 2024a.

5 | Vgl. Handelsblatt 2025a.

6 | Vgl. acatech 2024a.

7 | Vgl. acatech 2024b.

8 | Vgl. Boston Consulting Group/SIA 2021.

9 | Vgl. World Trade Organization 2023.

10 | Vgl. Boston Consulting Group/SIA 2021.

11 | Vgl. Statista 2025.

12 | Vgl. ZVEI/PwC 2024.

## Das E.I.S.-Projekt als deutsche Antwort auf den ersten technologischen Wettkampf um die Vorherrschaft im Chipdesign

Die geopolitische Bedeutung der Halbleiterindustrie führte bereits in den 1980er Jahren zu Handelskonflikten, da die USA befürchteten, auf diesem Gebiet ihre technologische Vorherrschaft – insbesondere gegenüber Japan – zu verlieren und damit auch eine zentrale Grundlage ihrer militärischen Stärke. Quantitativ waren die sowjetischen Streitkräfte den amerikanischen überlegen. Diesen Nachteil glichen die USA durch „intelligenteren“ **mikroelektronisch gesteuerte Systeme** wie Satelliten, Tarnkappenflugzeuge und Marschflugkörper aus, was die **überlegene Schlagkraft** ihrer Streitkräfte begründete.<sup>13</sup>

Obwohl Europa in den 1980er Jahren nicht im Zentrum des Handelskonflikts in der Mikroelektronik stand, gerieten Deutschland und andere verbündete **europäische Staaten** dennoch **zwischen die Fronten** und spürten die Auswirkungen der protektionistischeren Außenwirtschaftspolitik unter der Präsidentschaft von Ronald Reagan. So waren beispielsweise Werkzeuge im Bereich von Electronic Design Automation (EDA-Tools) für die akademische Forschung nicht mehr uneingeschränkt verfügbar.

Als Reaktion auf die internationalen Entwicklungen, und um den technologischen Rückstand gegenüber den USA und Japan aufzuholen, initiierte die Bundesregierung auf nationaler Ebene das **Projekt Entwurf Integrierter Schaltungen (E. I. S.)**. Ziel war es, die akademische Forschung zu stärken und damit auch die heimische Industrie wettbewerbsfähig zu machen.<sup>14</sup>

Einige der befragten Zeitzeugen berichten im Zusammenhang mit der „E. I. S.-Zeit“ von teils **spektakulären Aktionen**, die vom Einfliegen amerikanischer Professoren, die an deutschen Hochschulen amerikanischen Code für EDA-Software replizierten, bis zum Schmuggel von Magnetbändern mit kopierten sensiblen Daten aus amerikanischen Forschungseinrichtungen reichten.

Im Rahmen des E. I. S.-Projekts entstanden **neue Methoden und Werkzeuge** für den Entwurf integrierter Schaltungen. Zudem förderte es die Zusammenarbeit zwischen Hochschulen, Forschungseinrichtungen und der Industrie und trug zur Ausbildung von Fachkräften bei und legte wichtige **Grundlagen für die heutige Halbleiterindustrie** in Deutschland.

Für eine **industriennahe Ausbildung und Forschung** wurde an den deutschen Hochschulen neben der weitgehend quelloffenen E. I. S.-Tool-Box (diese enthielt in einigen Fällen auch proprietäre/kommerzielle Programme) auch das von Siemens (entspricht nicht dem heutigen US-amerikanischen Tochterkonzern Siemens EDA) bereitgestellte Programm VENUS als ein proprietäres Entwurfssystem eingesetzt.<sup>15</sup>

Neben den nationalen akademischen Aktivitäten des E.I.S.-Projekts gab es auf europäischer Ebene auch Initiativen zur industriellen Zusammenarbeit, die als **Vorläufer des European Chips Act** betrachtet werden können. Zur Förderung der Informationstechnologie initiierte die Europäische Kommission das Programm **das Programm European Strategic Programme for Research and Development in Information Technology (ESPRIT)**.<sup>16</sup>

**Deutschland** nahm im Bereich der Mikroelektronik eine **Schlüsselrolle** in Europa ein, indem es federführend die Entwicklung von Software zur Entwurfsautomatisierung sowie die Entwicklung eines 1-Megabit-Chips koordinierte.<sup>17,18</sup> Im Rahmen von ESPRIT betrieben die Unternehmen Siemens, Bull und ICL in München zudem ein gemeinsames industrielles Forschungs- und Entwicklungszentrum für Großrechnerarchitekturen.<sup>19,20</sup>

13 | Vgl. Shivakumar/Wessner 2022.

14 | Vgl. Abel et al. 1986.

15 | Vgl. ebd.

16 | Vgl. Cobby 2023.

17 | Vgl. Der Spiegel 1984.

18 | Vgl. Techmonitor 1989.

19 | Vgl. Europäische Kommission 1985.

20 | Vgl. Computerwoche 1988.



## European Chips Act: Technologische Leistungsfähigkeit steigern, Resilienz erhöhen

Der **European Chips Act** zielt darauf ab, Europas technologische Leistungsfähigkeit zu steigern und die Resilienz der Lieferketten im Halbleitersektor zu erhöhen. Der Chips Act umfasst **drei Säulen**:<sup>21</sup>

- **Chips for Europe Initiative**: Förderung von Forschung, Entwicklung und Innovation für fortschrittliche Halbleiter- und Quantentechnologien in der EU
- **Sicherung der Versorgung**: Schaffung eines Rahmens zur Stärkung der Produktionskapazitäten, Förderung von Investitionen und Absicherung der Halbleiterlieferketten
- **Europäischer Halbleiter-Ausschuss**: Koordination zwischen der EU-Kommission und den Mitgliedstaaten zur Überwachung der Wertschöpfungskette sowie zur Krisenprävention und -bewältigung

Die **erste Säule** spielt eine entscheidende Rolle bei der **Förderung des Chipdesigns** in Europa. Die Europäische Kommission plant den Aufbau einer **cloudbasierten Designplattform**, die europaweit zugänglich ist und verschiedene Designressourcen wie IP-Bibliotheken und EDA-Tools integriert. Zudem sollen **Pilotlinien** entstehen, die die Entwicklung, Erprobung und Kleinserienproduktion neuer Halbleitertechnologien ermöglichen.

Im Mittelpunkt der medialen Aufmerksamkeit steht die **zweite Säule**, insbesondere die **Ansiedlung großer außereuropäischer Foundries**. Diese sollen die Versorgungssicherheit Europas im Falle geopolitischer Spannungen stärken.

Während die USA und China sowie asiatische Volkswirtschaften wie Taiwan oder Südkorea bereits seit Jahrzehnten massiv in ihre Halbleiterindustrie und den Aufbau von Fähigkeiten in Spitzentechnologien investieren,<sup>22</sup> gab es in Deutschland und Europa lange Zeit keine vergleichbare **strategische nationale Industriepolitik**, um das Know-how am Standort zu halten oder sogar gezielt auszubauen. Dies hat sich mit dem europäischen Chips Act (siehe Kasten zum European Chips Act) geändert.

Als Folge von Wettbewerbsverzerrungen durch staatliche Interventionen in anderen Wirtschaftsräumen wurden **Entwicklungsabteilungen und Produktionskapazitäten** für Leading Edge Chips in Deutschland geschlossen oder befinden sich heute **unter der Kontrolle von außereuropäischen Konzernen**. Seit der Insolvenz von Qimonda (2009) gibt es in Europa keinen DRAM-Hersteller mehr; Infineons Know-how im Bereich Chipentwurf für den Mobilfunk wurde nach dem Ende von Siemens

Mobile erst von Intel und dann von Apple übernommen.<sup>23, 24</sup> Im aktuellen Koalitionsvertrag ist deshalb die Absicht formuliert, den Mikroelektronikstandort Deutschland zu stärken – unter konkreter Erwähnung des Aspekts Chipdesign.

Zwar ist **Deutschland** – gemessen am Exportvolumen – mit Abstand der **größte Mikroelektronikstandort in Europa**.<sup>25</sup> Mit einem Umsatzanteil von rund 8 Prozent in der globalen Mikroelektronik nimmt der gesamte europäische Kontinent laut Daten aus dem Jahr 2020 gegenüber den USA (46 Prozent) und Südkorea (19 Prozent) jedoch eine vergleichsweise schwache Position ein.<sup>26</sup>

Trotz der Fokussierung auf Nischenfelder besetzen Deutschland und Europa nur sehr wenige **Kontrollpunkte**<sup>27</sup> in der globalen Wertschöpfungskette – dies gilt sowohl für den Bereich des Chipdesigns als auch für die Frontend-/Backend-Fertigung. Die in der EU vorhandenen Fähigkeiten und Kompetenzen sind auch

21 | Vgl. Europäische Kommission 2025.

22 | Vgl. Miller 2023.

23 | Vgl. WirtschaftsWoche 2024.

24 | Vgl. FAZ 2019.

25 | Vgl. Statista 2023.

26 | Vgl. Boston Consulting Group 2022.

27 | Im englischen Sprachraum spricht man auch von „chokepoint firms“ oder Flaschenhalsfirmen. Diese Firmen kontrollieren essenzielle Technologien und können den Zugang zu bestimmten Produkten, Dienstleistungen oder Technologien steuern. Sie zeichnen sich durch eine Monopol- oder Oligopolstellung aus, verfügen über entscheidende Patente und schaffen hohe Markteintrittsbarrieren. Andere Marktteilnehmer oder ganze Branchen sind stark von ihnen abhängig.

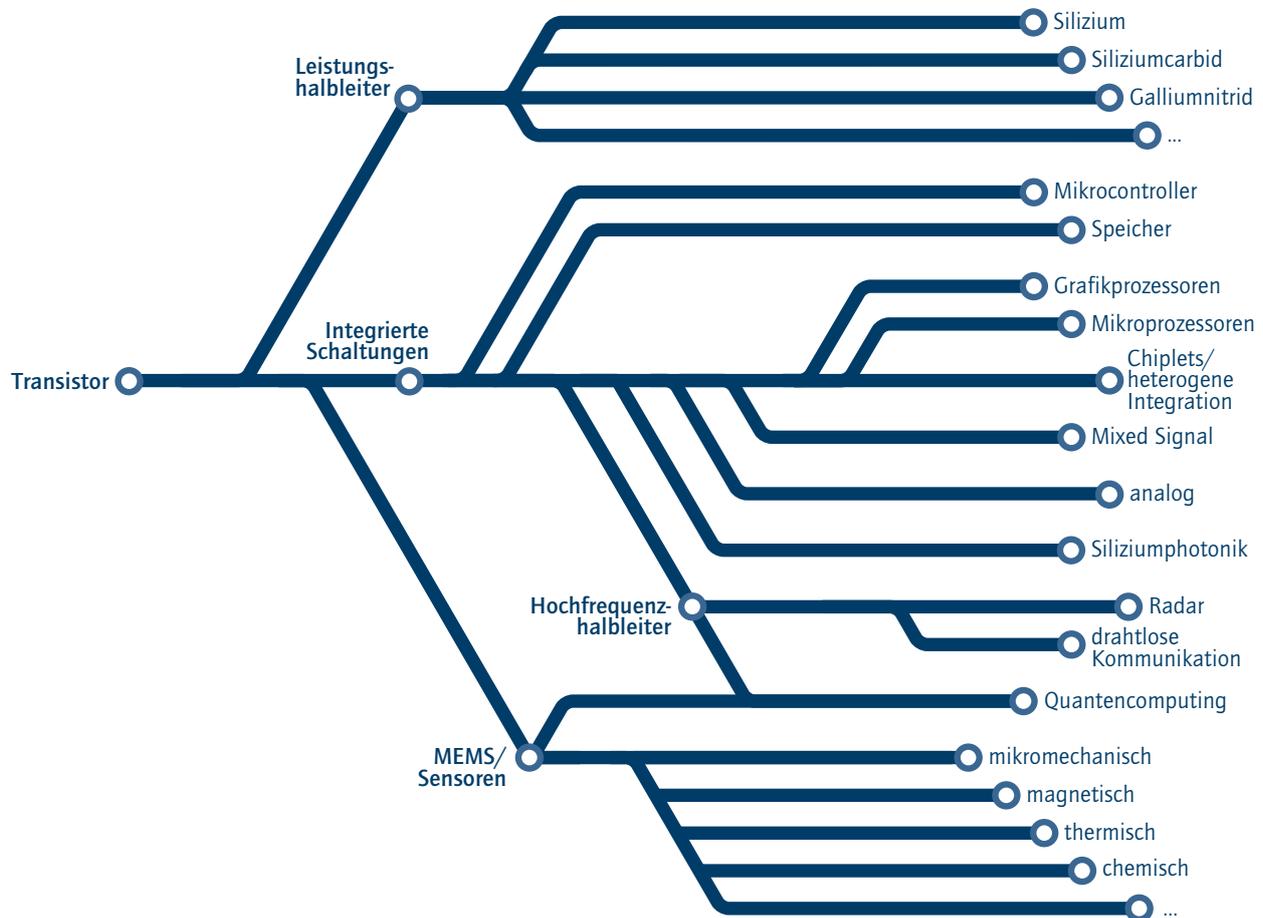


Abbildung 1: Technologiedomänen der Halbleitertechnik (Quelle: eigene Darstellung basierend auf Schumacher 2024)

in anderen Wirtschaftsräumen vorhanden.<sup>28, 29, 30</sup> Zwar gibt es in Deutschland viele kleine und mittelständische Unternehmen (KMU), die in einer eng abgegrenzten Anwendungsnische etabliert und technologisch führend sind, jedoch erodieren diese aufgrund des dauerhaften Preis- und Innovationsdrucks im weltweiten Wettbewerb zunehmend – insbesondere, wenn europäische Großkunden in den Sektoren industrielle Automatisierung und Automotive als Kunden wegfallen.

Die schwächere Ausgangsposition der **deutschen und europäischen Halbleiterindustrie** hängt auch mit den **weniger komplexen Produktgruppen** zusammen, in denen die Halbleiterindustrie in der EU stark vertreten ist. Die Forschungs- und Entwicklungsaufwendungen der drei größten europäischen

Halbleiterfirmen (Infineon, STMicroelectronics und NXP) sind zusammengenommen geringer als das Forschungs- und Entwicklungsbudget einzelner US-Halbleiterfirmen.<sup>31, 32</sup> Viele kleine Spezialchips, auf die sich die europäische Industrie spezialisiert hat, werden zunehmend durch wenige komplexe Leading-Edge-Chips als Treiber der technologischen Entwicklung ersetzt.

Gerade für diese Produktgruppen ist mit einem sehr starken **Wettbewerb aus China** zu rechnen, da China diese weniger komplexen Produkte bereits heute weitgehend autonom fertigen kann.<sup>33</sup> Nach Analysen des Korea Institute for International Economic Policy (KIEP) könnte China beispielsweise bis 2033 im Bereich der Leistungshalbleiter mit innovativen Galliumnitrid-Chips die globale Technologieführerschaft erlangen.<sup>34</sup>

28 | Vgl. ZVEI/PwC 2024.

29 | Vgl. Germann et al. 2024.

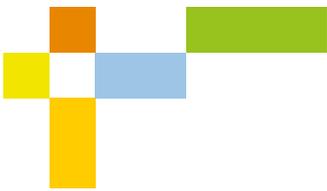
30 | Vgl. World Trade Organization 2023.

31 | Vgl. Europäische Kommission 2024a.

32 | Vgl. ebd.

33 | Vgl. Stroh 2025.

34 | Vgl. ElektronikPraxis 2023.



Gegenseitige Abhängigkeiten können die Sicherheit von Lieferketten erhöhen. Im globalen Mikroelektronikökosystem gibt es zwar **einige Firmen mit deutschem Eigentümer**, die eine Schlüsselposition in der globalen Halbleiterwertschöpfungskette besetzen und von denen andere Staaten – zumindest teilweise – abhängig sind. Diese Firmen sind im Bereich der Geräte- und Materialherstellung sowie der EDA-Software tätig; viele dieser Firmen sind jedoch Tochterunternehmen in den USA, **ohne signifikante Geschäftstätigkeit in Deutschland**.<sup>35</sup>

### 1.3 Quelloffene Ansätze als Baustein für innovative Chipdesignökosysteme

Quelloffene Werkzeuge für den Entwurf digitaler Schaltungen sind ein vielversprechender Ausgangspunkt, um Deutschlands und Europas Fähigkeiten in der Mikroelektronik zu stärken und einseitige Abhängigkeiten zu reduzieren. Bei **proprietären Lösungen** müssen **Nutzungs- und Geheimhaltungsvereinbarungen** eingehalten werden, welche den eigenen Handlungsspielraum einschränken können. Zudem bleibt die genaue Funktionsweise hinter dem User Interface verborgen, was ein Vendor Lock-in forciert und eine optimale Nutzung der Werkzeuge erschwert. Auch eine Anpassung der Werkzeuge an die eigenen Anforderungen ist insbesondere für KMU und Start-ups schwierig.

**Quelloffene Werkzeuge** erlauben dagegen eine **freie Verwendung und die Anpassung** der Werkzeuge an die eigenen Bedürfnisse, was sie zu einem vielversprechenden Ansatz macht, bestehende Hürden auf dem Gebiet der softwarebasierten Designwerkzeuge zu reduzieren und zum **Kompetenzaufbau** in diesem Teil der Wertschöpfungskette beizutragen.

Befürworterinnen und Befürworter von **quelloffenen Designinstrumenten** verweisen auf die weite Verbreitung von quelloffenen Ansätzen im Bereich der Software – insbesondere für Rechenzentren sowie für Telekommunikationsinfrastruktur – und sehen für die Chipentwicklung vergleichbares Potenzial. Die befragten Expertinnen und Experten schreiben dem Ansatz folgende **positive Eigenschaften** zu:

- **Transparenz und Vertrauen:** Offener Quellcode ermöglicht es, Designentscheidungen nachzuvollziehen. Schwachstellen oder Hintertüren können frühzeitig erkannt werden.
- **Austausch und Zusammenarbeit:** Gemeinsames Arbeiten an Lösungen fördert die Kollaboration zwischen einzelnen Akteuren.

- **Förderung von Innovationen:** Durch den offenen Zugriff können Forscherinnen und Forscher sowie Entwicklerinnen und Entwickler mehr experimentieren, innovative Ansätze auf bestehenden Lösungen aufbauen und so schnelle Innovationszyklen ermöglichen.
- **Wettbewerb:** Quelloffene Ansätze können dazu beitragen, die Dominanz einzelner proprietärer Anbieter zu reduzieren. Das Angebot von Alternativen belebt den Wettbewerb und verhindert Marktmonopole.
- **Ausbildung:** An Universitäten und Hochschulen für angewandte Wissenschaften bieten quelloffene Werkzeuge einen günstigen Einstieg in das Chipdesign. Der quelloffene Code kann ferner zu einem besseren Verständnis der Technologie beitragen.
- **Ansehen und Sichtbarkeit:** Offener Quellcode kann vornehmlich bei Forscherinnen und Forschern an Universitäten sowie anderen Forschungsinstitutionen das Renommee der Codeentwicklerinnen und -entwickler steigern.
- **Kostensenkung:** Quelloffene Tools und Designs senken die Einstiegshürden für Unternehmen und Start-ups, da teure Lizenzen für proprietäre Tools zumindest reduziert werden können.
- **Flexibilität und Unabhängigkeit:** Quelloffene Werkzeuge können an die jeweiligen Bedürfnisse und Anforderungen des Unternehmens oder Entwicklers angepasst werden. Gerade KMU und Start-ups sind dadurch weniger der Marktmacht innerhalb oligopolistischer Strukturen ausgeliefert.
- **Interoperabilität und Standardisierung:** Quelloffene Projekte können als Grundlage für offene Standards dienen, die die Interoperabilität zwischen unterschiedlichen Tools, IP und Fertigungsprozessen verbessern.

Die befragten Fachleute sehen jedoch auch **Risiken und Herausforderungen** bei der Nutzung von **quelloffenen Ansätzen**:

- **Schwierige Integration und Schnittstellenprobleme:** Quelloffene Werkzeuge decken meist nur einzelne Schritte der Entwurfskette ab. So müssen Werkzeuge individuell zusammengestellt werden, um der Entwurfskette vollständig gerecht zu werden. Zwischen verschiedenen Entwicklungsschritten können Schnittstellenprobleme auftreten.
- **Fehlende Industriereife und begrenzte Funktionalität:** Neben der schwierigen Integrierbarkeit in bestehende Entwurfsketten und Entwicklungsprozesse bemängeln kritische Stimmen eine bisher limitierte Leistungsfähigkeit und Schnelligkeit quelloffener Werkzeuge.
- **Geringe Akzeptanz:** Da quelloffene Werkzeuge bislang selten im kommerziellen Kontext eingesetzt werden, bestehen Vorbehalte gegenüber Qualität und Zuverlässigkeit der mit quelloffenen Tools erzeugten Schaltungen.

35 | Vgl. Germann et al. 2024.

- **Unklare rechtliche Aspekte:** Während proprietäre Anbieter durch ihre langjährige Erfahrung ein gewisses Vertrauen seitens der Anwender genießen, bestehen bei quelloffenen Werkzeugen Bedenken hinsichtlich Haftung, Compliance und Schutz der IP. Kunden und Partner fordern teilweise den Einsatz bewährter und zertifizierter Werkzeuge.
  - **Hohes finanzielles Risiko:** Aufgrund hoher Produktionskosten in der Chipfertigung und sehr begrenzter Produktionskapazitäten bergen fehlerhafte Designs ein immenses finanzielles Risiko – dies ist ein zentraler Unterschied zu Open Source für Software, wo fehlerhafte Produkte auch nachträglich gepatcht werden können. Da Open-Source-Tools typischerweise noch keinen Nachweis geliefert haben, dass sie mit einer spezifischen Technologie funktionale Designs erzeugen können, scheuen sich Unternehmen, das damit verbundene Risiko als Erster zu tragen.
  - **Fehlende Leading-Edge-Knoten:** Es mangelt an quelloffenen Designwerkzeugen, die für die Anforderungen modernster Fertigungsprozesse optimiert sind. Meist werden quelloffene Lösungen lediglich für reifere Technologieknoten von 130 Nanometern (und größer) bis maximal 45 Nanometern angeboten.
  - **Mangel an PDKs:** Für den Designprozess elementare Prozessdaten in Form von Process Design Kits (PDKs) sind auf die etablierten proprietären Werkzeuge zugeschnitten und werden meist nur nach Abschluss eines Non-Disclosure Agreement (NDA) herausgegeben. Quelloffene PDKs stehen lediglich für More-than-Moore-Technologien zur Verfügung.
  - **Begrenzte Unterstützung und unsichere Entwicklung:** Während es bei der Nutzung proprietärer Angebote professionellen Support gibt, sind entsprechende Strukturen für quelloffene Lösungen bisher zumeist nicht vorhanden. Personelle Ressourcen für Wartung und Weiterentwicklung müssen daher eingeplant werden.
  - **Geopolitische Konflikte:** Kritische Stimmen befürchten aufgrund der weltweiten Verfügbarkeit quelloffener Designwerkzeuge eine für Wirtschaft und Sicherheit unvorteilhafte Nutzung dieser Ressourcen durch andere Akteure und Nationen, insbesondere durch die Volksrepublik China.
- Das **Potenzial quelloffener Ansätze** wird insbesondere für **neue Technologiedomänen** der Halbleitertechnik gesehen. Während Innovationen und Wertschöpfung dort in den letzten Jahrzehnten sehr stark auf das Feld der Mikroprozessoren und die Miniaturisierung auf immer kleinere Strukturbreiten fokussiert waren („More Moore“), gelangt diese Entwicklung zunehmend an physikalische Grenzen.
- In Kombination mit dem stetig steigenden Energieverbrauch großer Rechenzentren werden deshalb eine Integration verschiedener Halbleiterkomponenten im Sinne einer **funktionalen Diversifikation** („More than Moore“) sowie **alternative Rechnertechnologien** wie Analog Computing, Optical Computing oder Quantum Computing attraktiv („Beyond Moore“). In dieser Situation ist die heterogene Technologielandschaft Europas als Vorteil zu sehen – es müssen aber die notwendigen Rahmenbedingungen geschaffen und entsprechendes privates sowie öffentliches Kapital bereitgestellt werden, um innovative Forschung auf dem Gebiet der Mikroelektronik zu ermöglichen. Hier können quelloffene Ansätze ideal geeignet sein.
- Im Folgenden werden die **Nutzungsmöglichkeiten quelloffener Lösungen** in verschiedenen Anwendungsbereichen analysiert und deren Potenziale für eine souveräne Chipentwicklung unter Berücksichtigung wirtschaftlich sowie rechtlich tragfähiger Geschäftsmodelle herausgearbeitet.

## Moore's Law

**Moore's Law** beschreibt, dass sich die Anzahl der Transistoren auf einem Mikrochip etwa alle zwei Jahre verdoppelt, was zu einer exponentiellen Leistungssteigerung und sinkenden Kosten pro Transistor führt. Dieses Prinzip hat die Halbleiterindustrie über Jahrzehnte geprägt.<sup>36</sup> „**More Moore**“ bezeichnet die klassische Skalierung gemäß Moore's Law – also die Verkleinerung von Transistoren und die Erhöhung der Packungsdichte auf Chips. Dabei wird auf Entwicklungen in der Lithografie (zum Beispiel EUV-Technologie) und neuen Materialien aufgebaut. Da rein skalare Miniaturisierung jedoch an physikalische und wirtschaftliche Grenzen stößt, gewinnen „**More than Moore**“-Ansätze zunehmend an Bedeutung. Diese konzentrieren sich auf funktionale Diversifikation: das Stapeln von Chips (3D-Integration), die Kombination verschiedener Technologien wie Sensoren, RF-Module oder Speicher auf einem Chip (heterogene Integration) und spezialisierte Prozessoren (AI-Beschleuniger, Edge-Computing-Chips). „**Beyond Moore**“ geht noch einen Schritt weiter und erforscht neue Paradigmen jenseits der klassischen CMOS-Skalierung.<sup>37</sup> Dazu zählen beispielsweise Quantencomputing, Siliziumphotonik oder neuromorphe Chips.

36 | Vgl. Moore 2020.

37 | Vgl. Dudek/Wirth 2025.



## 2 Technologiedomänen und -kette der Mikroelektronik

Während sich die öffentliche und politische Diskussion zur Mikroelektronik häufig um die neuesten Technologien für Hochleistungsprozessoren bewegt, wird oft übersehen, dass es viele weitere Technologiedomänen in der Mikroelektronik gibt, die insbesondere für die Anwenderindustrien in Deutschland und Europa relevant sind. Aus diesem Grund werden im Folgenden die verschiedenen Technologiedomänen beschrieben und danach der Entwurfsprozess für die zwei großen Klassen allgemein dargelegt. Auf dieser Grundlage erfolgt dann in Kapitel 3 eine Diskussion zu quelloffenen Entwurfswerkzeugen.

### 2.1 Technologiedomänen der Mikroelektronik

Mit dem Begriff **Technologiedomänen** werden die für eine bestimmte Anwendung notwendigen Halbleitertechnologien und die entsprechenden integrierten Schaltungen (ICs) beschrieben. Die Anforderungen an die Halbleiter bezüglich elektrischer Eigenschaften, geometrischer Größen, Zuverlässigkeit etc. unterscheiden sich je nach Technologiedomäne und der zugrunde liegenden Halbleitertechnologie. Im Folgenden werden die einzelnen Technologiedomänen, die in Abbildung 1 dargestellt sind, mit ihren jeweiligen Eigenschaften und Besonderheiten erläutert.

**Digital (Mikroprozessoren, Grafikprozessoren, Mikrocontroller und andere digitale ICs, FPGAs):** Digitalschaltungen dominieren nahezu alle mikroelektronischen Systeme und sind der am weitesten verbreitete Schaltungstyp. Im Gegensatz zu analogen Schaltungen, die kontinuierliche Signale verarbeiten, arbeiten digitale Schaltungen mit diskreten Werten, die typischerweise durch die binären Zustände 0 und 1 dargestellt werden. Diese Arbeitsweise bietet einen hohen Signal-Rausch-Abstand sowie die Möglichkeit, Daten einfach und zuverlässig zu speichern. Digitalschaltungen zeichnen sich durch ihre Robustheit und Skalierbarkeit aus, wodurch sie das volle Potenzial neuester Leading-Edge-Technologien im Nanometerbereich ausschöpfen können. Ihre binäre Datenverarbeitung macht sie weniger empfindlich gegenüber Rauschen oder Bauteiltoleranzen. Ein

wesentlicher Vorteil von Digitalschaltungen liegt in der weit fortgeschrittenen Entwurfsautomatisierung.<sup>38</sup> Diese basiert auf einem soliden mathematischen Fundament (Boolesche Algebra) sowie fortgeschrittenen Modellen und Algorithmen und ermöglicht damit eine effiziente Entwicklung und Optimierung von digitalen Systemen. Die Entwurfsautomatisierung deckt dabei alle Ebenen des Designs ab – vom Systementwurf über den Logikentwurf bis hin zum physikalischen Entwurf, einschließlich Platzierung und Verdrahtung. Neben Prozessoren werden viele einfachere Funktionen wie digitale Filter, Zähler, Automaten für Steuerungen, Regler, arithmetische und logische Funktionen etc. durch digitale Schaltungen abgebildet.

Bei **Field-programmable Gate Arrays (FPGAs)** handelt es sich um eine spezielle Klasse integrierter Schaltungen, die hauptsächlich zur **Implementierung digitaler Schaltungen** eingesetzt werden. Im Gegensatz zu klassischen Application-specific Integrated Circuits (ASICs) bieten FPGAs eine große Flexibilität, da ihre Funktionalität ohne zusätzliche Fertigungsschritte neu konfiguriert und angepasst werden kann. In gewisser Weise ähneln sie deshalb Prozessoren, die durch Software programmiert werden. FPGAs bestehen aus einer Vielzahl programmierbarer Logikblöcke, die über ein konfigurierbares Netzwerk miteinander verbunden sind. Diese Logikblöcke lassen sich so programmieren, dass sie unterschiedliche logische Funktionen ausführen. Durch gezielte Verschaltung der Blöcke können hochkomplexe digitale Schaltungen realisiert werden. Zu den wesentlichen Vorteilen von FPGAs zählen ihre hohe Flexibilität, da sie sich problemlos an neue Anforderungen anpassen lassen, ein vereinfachter Entwurfsprozess – Entwurfsschritte sind vereinfacht (wie beispielsweise die Timing-Analyse) oder entfallen (wie beispielsweise Signoff und Maskenherstellung) – sowie kurze Entwicklungszeiten und vergleichsweise geringe Kosten, da keine aufwendige Chipfertigung bei Änderungen der Funktionalität erforderlich ist. Allerdings weisen sie im Vergleich zu ASICs auch einige Nachteile auf, darunter eine geringere Taktfrequenz, eine größere Fläche und einen höheren Energieverbrauch. Zudem sind FPGAs bei sehr großen Stückzahlen teurer als ASIC-Lösungen. FPGAs werden in einer Vielzahl von Anwendungen eingesetzt, beispielsweise in der Prototypenentwicklung sowie bei kleinen Stückzahlen (je nach Technologie weniger als circa 100.000 Chips) und Anforderungen bei nachträglicher Änderung (zum Beispiel Anpassung an Protokolle) in den Anwendungsgebieten Telekommunikation und Netzwerktechnik, Luft- und Raumfahrt, Satellitentechnik, Rechenzentren sowie Medizintechnik.

38 | Der übliche englische Begriff lautet „Electronic Design Automation“, abgekürzt „EDA“.

**Analog:** Analogschaltungen verarbeiten im Gegensatz zu Digital-schaltungen kontinuierliche Signale und kommen in einer Vielzahl von Anwendungen zum Einsatz. Beispiele für Analogschaltungen sind (Signal-)Verstärker (etwa Operationsverstärker), (Signal-) Filter (zum Beispiel Tiefpass-, Hochpass- und Bandpassfilter), Oszillatoren, Spannungsregler, Analog-Digital-Wandler (ADCs), Digital-Analog-Wandler (DACs) sowie Modulatoren und Demodulatoren. Die Einsatzgebiete von Analogschaltungen sind äußerst vielfältig: Diese finden Anwendung in der Sensorik, in der Audio-, Kommunikations-, Mess- und Medizintechnik sowie in Steuerungs- und Regelungssystemen. Im Vergleich zu Digital-schaltungen, die einen hohen Signal-Rausch-Abstand bieten, sind Analogschaltungen anfälliger für Rauschen, Nichtlinearitäten, Temperaturabhängigkeiten, Parameterdrift, Bauteiltoleranzen und parasitäre Effekte. Diese Eigenschaften erschweren den Entwurf und die Optimierung von Analogschaltungen erheblich. Darüber hinaus ist die Entwurfsautomatisierung bei Analog-schaltungen deutlich eingeschränkter als bei Digitalschaltungen. Automatisierte Designwerkzeuge existieren vorwiegend für kleinere Einheiten wie Operationsverstärker. Analogschaltungen profitieren auch nicht im gleichen Maße von Leading-Edge-Technologien wie Digitalschaltungen, da ihre Performance häufig stärker von physikalischen Effekten und Bauteilparametern als von der Skalierung der Technologie abhängt.

**RF:** Bei RF-Schaltungen (Radio-Frequency-Schaltungen) handelt es sich um eine spezielle Art von Analogschaltungen, die für den Betrieb im Hochfrequenzbereich ausgelegt sind; sie spielen eine zentrale Rolle in der Kommunikationstechnologie. Zu den typischen RF-Schaltungen gehören Hochfrequenzverstärker, Mischer, Filter und Oszillatoren. Der Entwurf von RF-Schaltungen unterscheidet sich in mehreren Aspekten von Analogschaltungen, die für niedrigere Frequenzen ausgelegt sind, da bei hohen Frequenzen physikalische Effekte auftreten, die bei niedrigeren Frequenzen vernachlässigt werden können. Bei RF-Schaltungen müssen Hochfrequenzeffekte wie die parasitären Eigenschaften von Kapazitäten und Induktivitäten sowie elektromagnetische Wechselwirkungen sorgfältig berücksichtigt werden. Die Entwicklung von RF-Schaltungen erfordert daher ein tiefes Verständnis der komplexen Hochfrequenztechnik.

**Mixed Signal:** Mixed Signal-Schaltungen setzen sich aus Digital- und Analogschaltungen zusammen. Beispiele hierfür sind Analog-Digital-Wandler (ADCs) und Digital-Analog-Wandler (DACs). Streng genommen sind heute fast alle Halbleiterchips Mixed-Signal-Schaltungen, da auch Digitalschaltungen, zum Beispiel für die Taktgenerierung, analoge Komponenten wie Oszillatoren benötigen.

**Speicher:** Speicher gehören zur Klasse der Mixed-Signal-Schaltungen, da sie sowohl analoge (zum Beispiel Sense Amplifier) als auch digitale Komponenten (zum Beispiel Decoder) enthalten. Es gibt eine Vielzahl unterschiedlicher Speichertypen – grundsätzlich unterscheidet man zwischen flüchtigen Speichern (zum Beispiel Static Random Access Memory, kurz SRAM, und Dynamic Random Access Memory, kurz DRAM), die beim Abschalten der Versorgungsspannung die gespeicherten Werte verlieren, und nichtflüchtigen Speichern (etwa Flash-Speicher), die ihre Daten dauerhaft speichern können.

Im Gegensatz zu Digitaltechnologien, die primär auf hohe Geschwindigkeit optimiert sind, ist das Hauptziel bei Speichern die Maximierung der Speicherdichte und die Minimierung der Kosten pro gespeichertem Bit. Dementsprechend unterscheiden sich die Fertigungstechnologien für Speicher wie Flash und DRAM von denen für Digitalschaltungen. Zudem kommen spezielle Elemente zum Einsatz wie Floating-Gate-Transistoren oder Resistive Random Access Memory (RRAM). Diese Elemente sind entscheidend für die Datenspeicherung und beeinflussen maßgeblich die Eigenschaften der jeweiligen Speichertechnologie. Der Entwurf von Speichern weist viele Parallelen zum Design von Analogschaltungen auf, da er eine genaue Beherrschung analoger Signale und Effekte erfordert.

**Leistungselektronik:** Die Leistungselektronik gehört technisch gesehen zur Klasse der Analogschaltungen, unterscheidet sich jedoch durch ihren Fokus auf das Schalten und Steuern hoher elektrischer Ströme und Spannungen. Sie basiert auf speziellen Leistungshalbleitern wie Leistungsdioden, Insulated-Gate Bipolar Transistors (IGBTs) und Thyristoren, die speziell für diese Anforderungen entwickelt wurden. Neben der klassischen Siliziumtechnologie kommen zunehmend auch neue Halbleitermaterialien wie Siliziumkarbid (SiC) und Galliumnitrid (GaN) zum Einsatz. Diese Materialien bieten entscheidende Vorteile, darunter eine höhere Effizienz, bessere thermische Eigenschaften und eine größere Spannungsfestigkeit, wodurch sie insbesondere für anspruchsvolle Anwendungen geeignet sind. Die Leistungselektronik findet in zahlreichen Einsatzgebieten Verwendung, etwa in der Elektromobilität, bei erneuerbaren Energien sowie in industriellen Anwendungen wie Motorsteuerungen und Energieumwandlungssystemen. Leistungshalbleiter weisen jedoch deutlich größere geometrische Abmessungen und eine wesentlich geringere Integrationsdichte auf. Dies liegt an den physikalischen Anforderungen, die auf die Verarbeitung hoher Leistungen zurückzuführen sind, sowie an der Notwendigkeit, die durch die hohe Leistung bedingte Abwärme effektiv zu managen. Ein zentrales Werkzeug bei der Entwicklung von Schaltungen



der Leistungselektronik sind 3D-Simulationen, die das Lösen von nichtlinearen Differenzialgleichungen erfordern. Die Entwicklung von Schaltungen der Leistungselektronik setzt ein tiefes Verständnis der verwendeten Halbleitertechnologie voraus.

**Siliziumphotonik:** Während bei herkömmlichen Schaltungstechniken Elektronen die Grundlage für die elektrische Signalübertragung und -verarbeitung bilden, basieren photonische Systeme auf Licht beziehungsweise Photonen. Siliziumphotonik integriert optische Komponenten in die bewährte Siliziumtechnologie. Durch die Nutzung von Licht zur Datenübertragung und -verarbeitung können Systeme potenziell höhere Geschwindigkeiten und einen geringeren Energieverbrauch erreichen. Dabei werden optische Wellenleiter, Modulatoren und Detektoren direkt auf Siliziumchips entwickelt, um eine nahtlose Verbindung zwischen elektronischen und optischen Funktionen zu ermöglichen. In der Sensorik erlauben sie hochpräzise Messungen, etwa bei der Erfassung von Temperatur, Druck oder chemischen Zusammensetzungen, indem eine Änderung der jeweiligen Messgröße eine Veränderung des optischen Verhaltens des Messsystems bewirkt. Darüber hinaus spielen photonische Technologien eine zentrale Rolle im Quantencomputing, wo Photonen zur Übertragung und Manipulation von Quanteninformationen genutzt werden können. Auch für Analog Computing gibt es zunehmend Ansätze, die auf Photonik basieren. Die Entwicklung photonischer Systeme stellt jedoch eine technische Herausforderung dar, da sie die Integration von optischen und elektronischen Komponenten erfordert. Entsprechend sind Entwurfswerkzeuge für die Photonik sehr spezifisch und haben auch nur einen relativ kleinen Anwenderkreis.

**MEMS und Sensorik:** Bei MEMS-Schaltungen handelt es sich nicht um Schaltungen im herkömmlichen Sinne, sondern um mikroelektromechanische Systeme (MEMS), die elektronische Schaltungen und mechanische Strukturen auf einem einzigen Chip vereinen. MEMS nutzen verschiedene physikalische Effekte – mechanische, elektrische, thermische oder fluiddynamische – zur Erzeugung elektrischer Signale, die anschließend analog und/oder digital weiterverarbeitet werden. Typische Beispiele für MEMS sind Beschleunigungs- oder Drucksensoren, die in der Automobiltechnik, der Medizintechnik und der Prozessautomatisierung eingesetzt werden. Weitere Anwendungsgebiete finden sich in Mikrofluid-Systemen, die beispielsweise für chemische Analysen oder in der Medizintechnik verwendet werden. Aufgrund der multiphysikalischen Natur von MEMS ist ihr Entwurf stark vom zugrunde liegenden physikalischen Effekt abhängig, der ausgenutzt wird. Dies erfordert den Einsatz komplexer Simulationsmethoden. Zudem stellt die Integration von MEMS-Strukturen

und elektronischen Schaltungen auf einem Chip eine besondere technische Herausforderung dar.

**Chipelets/heterogene Integration:** Chipelets sind eine vergleichsweise neue Implementierungsform, bei der anstelle eines einzigen großen monolithischen Chips mehrere kleinere Chips (sogenannte Chipelets) mit unterschiedlichen Funktionen und teils aus verschiedenen Technologiedomänen auf einem gemeinsamen Substrat oder in einem Gehäuse kombiniert werden. Diese Methode bietet zahlreiche Vorteile. So ermöglicht sie etwa eine höhere Ausbeute aufgrund der kleineren Größen der einzelnen Chipelets und Kosteneffizienz, da für jedes Chipelet die optimal geeignete Technologie verwendet werden kann. Zudem erlauben Chipelets eine heterogene Integration, das heißt eine Integration von Elementen, die mit unterschiedlichen Technologien hergestellt wurden, in ein Bauteil. Auch können die Grenzen bei der maximalen Chipgröße, bedingt durch die Belichtungstechnologie, überwunden werden. Weiterhin profitieren Chipelet-Designs von besserer Skalierbarkeit und Flexibilität. Doch trotz dieser Vorteile gibt es bei der Umsetzung und Integration von Chipelets auch einige Herausforderungen: Zu den wichtigsten zählen die Sicherstellung hochwertiger Verbindungen zwischen den Chipelets, der geringe Overhead für die Die-to-Die-Verbindung, das thermische Management, das Testen, die erhöhte Designkomplexität und die Standardisierung der Schnittstellen. Da der Ansatz vergleichsweise neu ist, existieren bislang nur wenige geeignete Entwurfswerkzeuge zur effizienten Entwicklung dieser Technologie.

## 2.2 Die Technologiekette der Mikroelektronik

Bevor in Kapitel 3 quelloffene Werkzeuge für Chipdesign detailliert diskutiert werden, beschreibt dieses Unterkapitel zunächst die Schritte, die notwendig sind, um einen Halbleiterchip zu entwickeln. Ein wesentlicher Aspekt in diesem Zusammenhang ist, dass die in Politik und Öffentlichkeit viel diskutierten Halbleiterfertiger (sogenannte **Fabs**<sup>39</sup>) nur ein Element der Wertschöpfungskette in der Mikroelektronik darstellen – vor der eigentlichen Halbleiterfertigung steht das **Design** der Chips. Aktuelle Chipdesigns bestehen teilweise aus über 100 Milliarden miteinander verschalteten Transistoren, weshalb diese nur mithilfe von speziellen Computerprogrammen, sogenannten Entwurfsautomatisierungswerkzeugen (Electronic Design Automation, EDA), entwickelt werden können. Das bedeutet, dass sich ein großer Teil der Entwicklung von Halbleitern im virtuellen Raum abspielt und Parallelen zur klassischen Softwareentwicklung bestehen.

39 | „Fab“ ist die Kurzform von „Fabrication Facility“ und bezeichnet eine Anlage für Halbleiterfertigung.

Nach der Chipfertigung in den Fabs findet der Arbeitsschritt **Packaging & Test** statt, um die ungeschützten Halbleiterchips (sogenannte Dies) in Gehäusen zu verkapseln und ihre Funktionalität sicherzustellen. Das sogenannte Advanced Packaging ermöglicht die Integration verschiedener Halbleitertechnologien auf einem einzigen Substrat. Durch heterogene Integration können spezialisierte Chips – etwa Hochleistungslogik, Speicher, analoge Komponenten oder KI-Beschleuniger – in einer einzigen Lösung kombiniert werden. Dies kann die Energieeffizienz und die Leistungsfähigkeit verbessern und Latenzen reduzieren, indem die Komponenten näher zusammenrücken. Bereits in der Designphase müssen das Advanced Packaging und die heterogene Integration des Endprodukts berücksichtigt werden. Die einzelnen Prozessschritte zur Entwicklung von Halbleiterchips sind in Abbildung 2 dargestellt.

**IP:** Bei der Entwicklung neuer Designs wird – ähnlich wie bei der Softwareentwicklung – häufig auf bereits vorhandene und getestete Elemente, zum Beispiel Prozesskerne, Signalverarbeitungseinheiten oder komplette Subsysteme, zurückgegriffen, anstatt alle Teile von Grund auf neu zu entwerfen. Diese

vorgefertigten Elemente werden unter dem Begriff Intellectual Property (IP) zusammengefasst.

**Libraries:** Libraries enthalten grundlegende, oft standardisierte Bausteine wie Logikgatter (Standard Cells), I/O-Zellen, Speicherzellen und analoge Grundstrukturen. Während IP-Elemente zu meist unabhängig vom Fertigungsprozess vorliegen, definieren Libraries, wie die abstrakten Standardbausteine in dem jeweiligen spezifischen Fertigungsprozess realisiert werden, und bilden damit eine zentrale Grundlage für den Entwurfsprozess.

**PDK:** Da sich das Chipdesign wesentlich nach den Möglichkeiten der Fertigungspartner in der Fab richten muss (beispielsweise bezüglich möglicher Strukturbreite), müssen diese Randbedingungen bereits beim Design berücksichtigt werden. Die Sammlung der entsprechenden Informationen wird als Process Design Kit (PDK) bezeichnet. Häufig werden diese Datensätze von den Fabs sehr gut gehütet und nur nach rechtlicher Absicherung geteilt, da sie Rückschlüsse auf die Fähigkeiten der Fabs in dem hochkompetitiven Feld der Halbleiterfertigung erlauben.

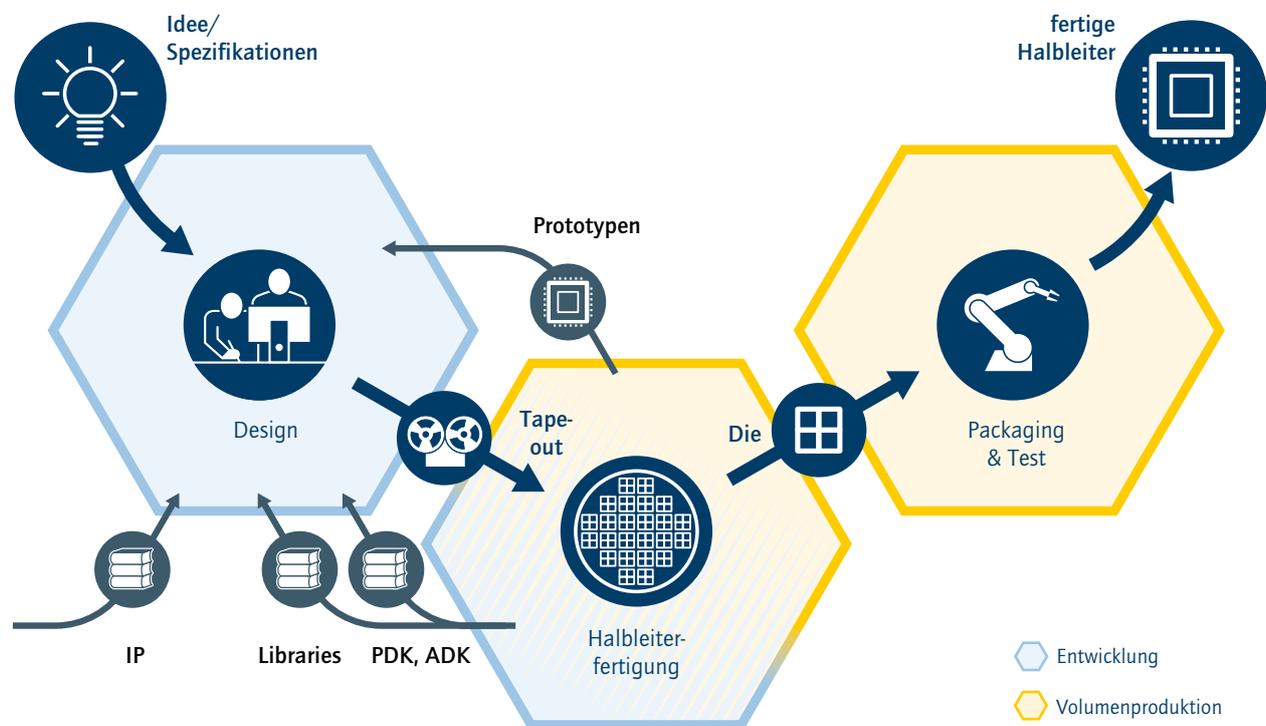


Abbildung 2: Entwicklungs- und Fertigungsschritte von der Idee bis zum fertigen Chip (Quelle: eigene Darstellung)



**ADK:** Während früher hauptsächlich die in den PDKs formulierten Fertigungsparameter für die Chips an sich interessant waren, werden in jüngster Zeit auch komplexere Strategien für das Packaging, zum Beispiel mit Chiplets, verfolgt, welche eine höhere Integrationsdichte und die Kombination verschiedener Technologiedomänen erlauben. Relevante Informationen für diese Schritte finden sich in dem sogenannten Assembly Design Kit (ADK).

### 2.2.1 Entwurfsautomatisierung für digitale Schaltungen

In den letzten Jahrzehnten hat sich die Entwurfsautomatisierung digitaler Schaltungen, insbesondere für Mikroprozessoren, zur dominanten Technologiedomäne im Chipdesign herausgebildet, da die damit entwickelten Mikroprozessoren flexibel programmierbar und im Rahmen von Moore's Law sehr gut skalierbar sind. Obgleich diese Entwicklung langsam an ihre physikalischen Grenzen stößt und alternative Technologien betrachtet werden, kann das Digitaldesign weiterhin als wichtigste Technologiedomäne

bezeichnet werden. Die Entwurfskette für digitales Schaltungsdesign ist in Abbildung 3 dargestellt, die einzelnen Elemente der Abbildung werden im Folgenden beschrieben.

**Architektur- und Systementwurf:** Zum Systementwurf elektronischer Systeme (Electronic System Level Design) zählen zunächst die Spezifikation der zu implementierenden Anwendungen sowie die Spezifikation einer diese Anwendungen implementierenden (System-)Architektur. Hierbei geht es zum Beispiel um die Fragen, welche und wie viele Prozessoren der zu entwickelnde Chip maximal haben soll, welche Typen und Größen von Speichern instanziiert werden sollen und welche Peripherie (Schnittstellen nach außen) der Chip besitzen soll.

Moderne Werkzeuge des Hardware-/Software-Co-Design<sup>40</sup> tragen heute erheblich dazu bei, die Systemsynthese zu automatisieren: Dazu gehört eine Exploration von Entwurfsalternativen, die Optimierung der Systemauslegung (zum Beispiel analog versus digital, Software versus Hardware) sowie die optimierte Abbildung der Anwendungen auf die Systemarchitektur unter

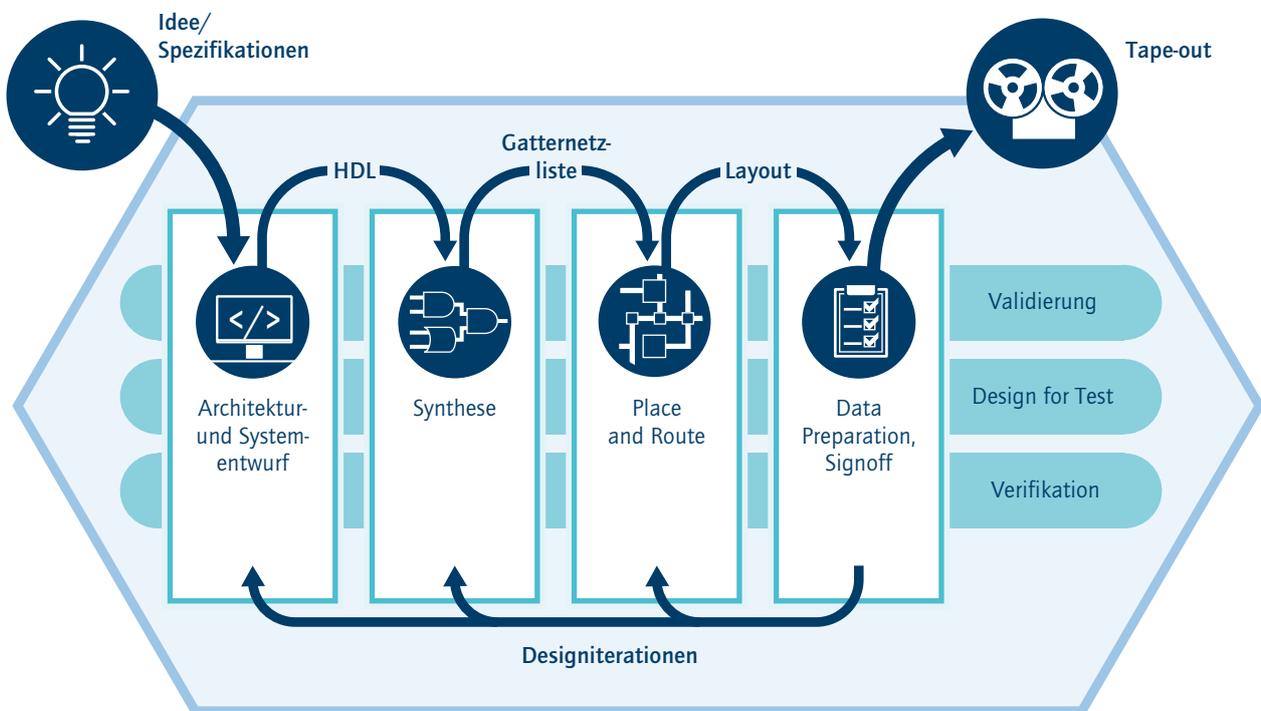


Abbildung 3: Entwurfsprozess für digitale Schaltungen (Semicustom Design Flow) (Quelle: eigene Darstellung)

40 | Vgl. Teich 2012.

Berücksichtigung wichtiger Entwurfsbeschränkungen wie Chipkosten, einzuhaltende Performanceschranken etc.

**Synthese:** Bei der Synthese wird der abstrakte Entwurf in eine technologieabhängige Gatternetzliste übersetzt. Diese beinhaltet Instanzen von vorgefertigten Schaltungselementen, die aus Bibliotheken (Libraries) entnommen werden, und definiert, wie diese Schaltungselemente miteinander elektrisch verschaltet sind. Hierbei müssen physikalische Grenzen und Anforderungen, wie zum Beispiel der elektrische Widerstand einer bestimmten Verbindung berücksichtigt werden.

**Place and Route:** Mit Bereitstellung der Gatternetzliste ist der Hardwareentwurf noch nicht abgeschlossen. Die einzelnen Elemente der Gatternetzliste werden auf einer zweidimensionalen Fläche, die als virtueller Chip betrachtet werden kann, angeordnet. Darüber hinaus müssen Kontaktpads als Schnittstelle des Chips zur Außenwelt, die Stromversorgung der Elemente oder die Verdrahtung spezieller Signale, zum Beispiel des Takts, integriert werden. Für diese Aufgabe sind hochkomplexe Algorithmen auf Millionen bis Billionen von Datenelementen durchzuführen, deren Softwareimplementierung sehr anspruchsvoll ist. Um die enorme zu berechnende Datenmenge aufzuteilen, wird bei der Platzierung zunächst eine grobe Anordnung der Elemente, der sogenannte Floorplan, erstellt.

**Data Preparation, Signoff:** Nachdem in den vorherigen Arbeitsschritten eine ideale Darstellung von Struktur und Anordnung generiert wurde, werden abschließend fertigungsspezifische Checks und auch Transformationen vorgenommen, um daraus die Belichtungsmasken für die Fertigung erstellen zu können. Aufgrund der kleinen Strukturen auf den Chips bilden die Masken die gewünschte Struktur nicht eins zu eins ab, sondern werden so gestaltet, dass unter Berücksichtigung der Kenntnis der Fertigungsprozesse die anvisierte Struktur möglichst gut erreicht wird.

**Validierung:** Die Validierung umfasst alle Schritte zur Sicherstellung, dass das Design funktional den Anforderungen der Anwendung entspricht, zeitlich stabil und physikalisch fertigungstauglich ist. Dazu gehören die funktionale Verifikation (Simulation und formale Methoden), die logische Äquivalenzprüfung (LEC), sowie die Timing-Analyse (STA) zur Überprüfung der Signalpfade. Außerdem werden Power-Analysen durchgeführt, um die Leistungsaufnahme zu optimieren. Nach der Platzierung und Verdrahtung folgen die physikalische Verifikation (DRC/LVS) und abschließend die Signoff-Validierung, bevor das Design in die Fertigung geht.

**Design for Test:** Aufgrund der sehr kleinen Strukturen bei Halbleitern ist eine zu 100 Prozent korrekte Fertigung selbst bei etablierten Technologien nicht zu gewährleisten. Um Fertigungsfehler zu erkennen und fehlerhafte Chips zu verwerfen, oder chipinterne redundante Strukturen zu aktivieren, sind ausführliche Tests notwendig. Diese sind hochkomplex und beanspruchen einen substantiellen Teil der Fertigungskosten.<sup>41</sup>

**Verifikation:** Verifikation beschreibt den Prozess der Überprüfung, ob das Design die funktionalen Spezifikationen erfüllt. Während Validierung sicherstellt, dass das Design den Anforderungen des Endprodukts entspricht, fokussiert sich Verifikation darauf, ob das Design korrekt implementiert wurde. Dazu gehören Simulationen, formale Verifikation und Hardwareemulation, um Fehler frühzeitig zu erkennen. Verifikation findet auf verschiedenen Ebenen statt, von Register Transfer Level (RTL) bis zur Gate-Level-Simulation, und umfasst Methoden wie Unit-Tests, Systemverifikation und Coverage-Analysen, um sicherzustellen, dass alle Designfälle abgedeckt sind.

Nach der finalen Verifikation werden die Masken und Testdaten an die Fab geschickt – dieser Schritt wird in Anlehnung an die früher als Datenträger verwendeten Magnetbänder als Tape-out bezeichnet.

## 2.2.2 Entwurfsautomatisierung für analoge Schaltungen

Eine weitere wichtige Technologiedomäne im Chipdesign ist die **Analogtechnik**. Während Digitalschaltungen Informationen in diskretisierter binärer Form (Einsen und Nullen) verarbeiten, ist für viele Anwendungen die Verarbeitung von stufenlosen kontinuierlichen Informationen sinnvoller – in diesen Fällen werden Analogschaltungen eingesetzt. Im Folgenden soll die Entwurfskette für analoge Schaltungen, die in Abbildung 4 dargestellt ist, beschrieben werden.

**Architektur, Schematic/Netlist Entry:** Vergleichbar zum Digitaldesign beginnt der Entwurfsprozess für analoge Schaltungen mit einer abstrakten Beschreibung der Architektur, die als Schaltplan (Schematic) oder Netzliste (Netlist) dargestellt wird. Obgleich in diesem Format lediglich die Elemente und ihre Verknüpfungen, nicht aber deren räumliche Anordnung auf dem Chip festgelegt sind, bildet es die wesentliche Grundlage für die Entwicklung der Analogschaltung. Mithilfe des Schaltplans werden die Eigenschaften der analogen Schaltung simuliert und damit die notwendigen Dimensionen der Bauelemente abgeschätzt.



**Custom Layout Design:** Auf Grundlage des Schaltplans oder der Netzliste wird ein Custom Layout erstellt, das die geometrische Anordnung der Elemente auf dem Chip festlegt. Während dieser Schritt im Digitaldesign aufgrund der robusten diskreten Signale (Eins oder Null) hochautomatisiert erfolgen kann, müssen bei kontinuierlichen Analogsignalen Effekte wie Leitungsverluste und Störeinflüsse benachbarter Elemente beachtet werden. Hierfür bedarf es fundierter Erfahrungen, weshalb dieser Prozess für analoge Schaltungen oftmals manuell durchgeführt wird.

**Physical Verification, Parasitic Extraction:** Nach Erstellung des Custom Layout erfolgen die notwendigen Kontrollschritte. Es müssen Designregeln geprüft werden, die sicherstellen, dass das Layout innerhalb der Fertigungstoleranzen der Fab liegt. Weiterhin muss das Layout mit dem Schaltplan verglichen werden, um zu gewährleisten, dass die simulierten Dimensionen eingehalten sind und dass alle Verbindungen im Layout denen im Schaltplan entsprechen.

Nach Fertigstellung des Layouts werden in einem eigenen Schritt die Störeinflüsse (sogenannte Parasitics) simulativ ermittelt. Falls

die Einflüsse die Funktion des Chips einschränken, kann über Iterationsschleifen das Schaltungsdesign oder das Layout entsprechend angepasst werden. Dieser Prozess wird wiederholt, bis die Parasitics in einer vertretbaren Größenordnung liegen. Sobald diese Prozesse abgeschlossen sind, kann das Design in Form von Masken und Testdaten an die Fab übergeben werden.

**Simulation:** Während im Digitaldesign Signale meist binär sind und die formale Verifikation viele Fehler frühzeitig erkennt, sind im Analogdesign wertkontinuierliche Simulationen unerlässlich. Analoge Schaltungen verarbeiten kontinuierliche Signale und sind stark von nichtlinearen Bauelementen, parasitären Effekten und Umweltfaktoren wie Temperatur oder Rauschen beeinflusst. Da sie sich nicht so leicht abstrahieren oder systematisch testen lassen, sind detaillierte SPICE-Simulationen<sup>42</sup> erforderlich, um Verhalten wie Verstärkung, Verzerrung oder Toleranzabweichungen vorherzusagen. Methoden wie Transienten-, Frequenz- und Monte-Carlo-Analysen helfen, die Schaltung unter realen Betriebsbedingungen zu optimieren und sicherzustellen, dass sie zuverlässig funktioniert.

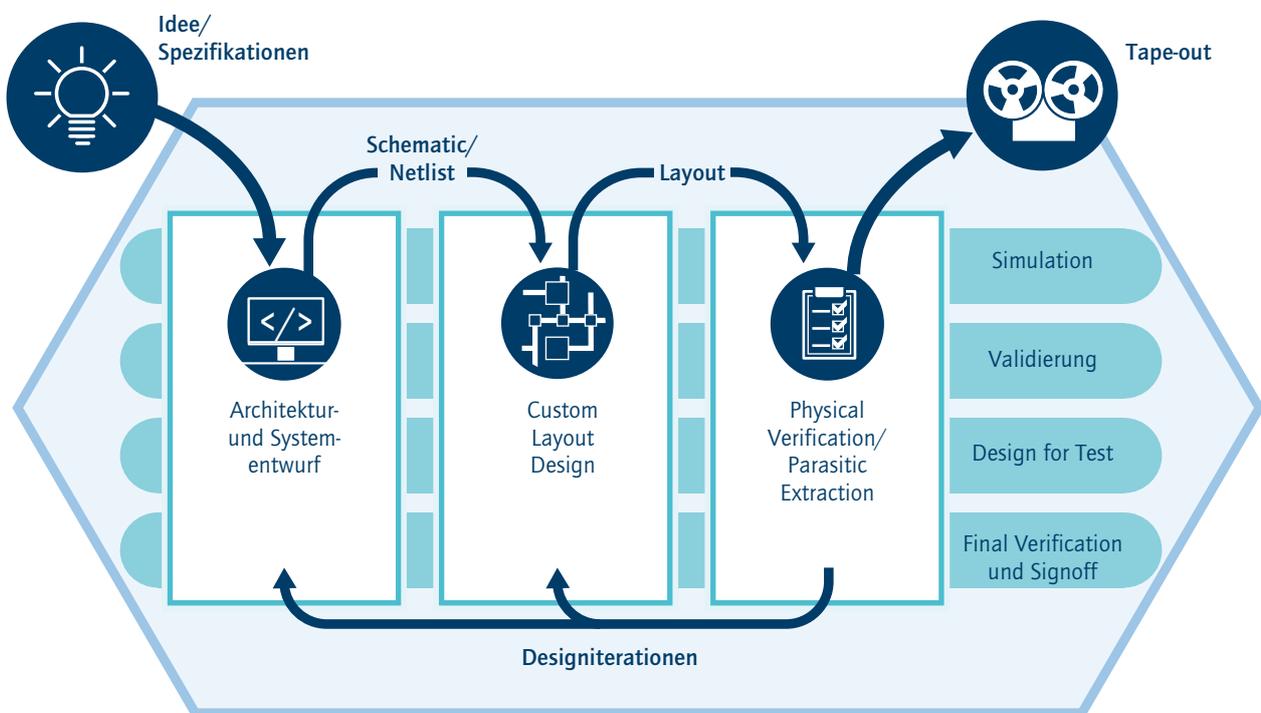


Abbildung 4: Entwurfsprozess für analoge Schaltungen (Custom Design Flow) (Quelle: eigene Darstellung)

42 | Das Akronym „SPICE“ steht für „Simulation Program with Integrated Circuit Emphasis“, also eine Software zur Simulation elektrischer Schaltungen.

Die anderen parallel laufenden Prozesse **Validierung**, **Design for Test**, **Final Verification** und **Signoff** sind vergleichbar mit dem Digitaldesign und bereits dort beschrieben.

### 2.2.3 Packaging & Test

Nach der Fertigung und Vereinzelung in der Fab müssen die hochempfindlichen Halbleiterelemente in Gehäusen verpackt werden, um sie vor mechanischen und elektrischen Einflüssen zu schützen. Dies findet üblicherweise nicht in der Fab selbst, sondern bei spezialisierten Unternehmen statt. Ähnlich wie Fabs sind diese aus Kostengründen häufig in Asien angesiedelt, was diesen Fertigungsschritt verwundbar gegenüber geopolitischen Krisen macht.

Während in der Vergangenheit meist ein einzelnes **Die** in einem Package verpackt wurde, findet in jüngster Zeit zunehmend das Konzept der **Chipllets** Anwendung, bei dem mehrere Elemente in ein Multi-Chip-System integriert werden, was eine höhere Integrationsdichte erlaubt. Beide Abläufe sind in Abbildung 5 dargestellt.

**Die-Test:** Bevor die einzelnen Dies in eine Hülle vergossen werden, können sie eine Funktionsprüfung durchlaufen. Dieser Schritt ist optional, abhängig von den Packaging-Kosten fehlerhafter Dies gegenüber den Kosten eines Die-Tests.

**Packaging:** In diesem Arbeitsschritt werden die Kontakte der Dies mit feinen Drähten oder Lotkugeln kontaktiert und eingegossen. Danach ist der Halbleiterkern des Chips vor äußeren Einflüssen geschützt.

**Chipllet-Test:** Seit einigen Jahren wird zunehmend der Ansatz verfolgt, mehrere Elemente – häufig aus unterschiedlichen Technologiedomänen (zum Beispiel ein Laserelement, ein RF-Element und ein Logikelement) – in einem gemeinsamen Package zu einem integrierten Multi-Chip-System zu kombinieren. Die einzelnen Elemente werden dann als Chipllets bezeichnet. Da ein fehlerhaftes Chipllet das ganze System beeinträchtigen würde, werden Chipllets vor der Integration isoliert getestet.

**2,5D-/3D-Heterointegration:** In diesem Schritt werden die einzelnen Chipllets miteinander zu einem Multi-Chip-System integriert.

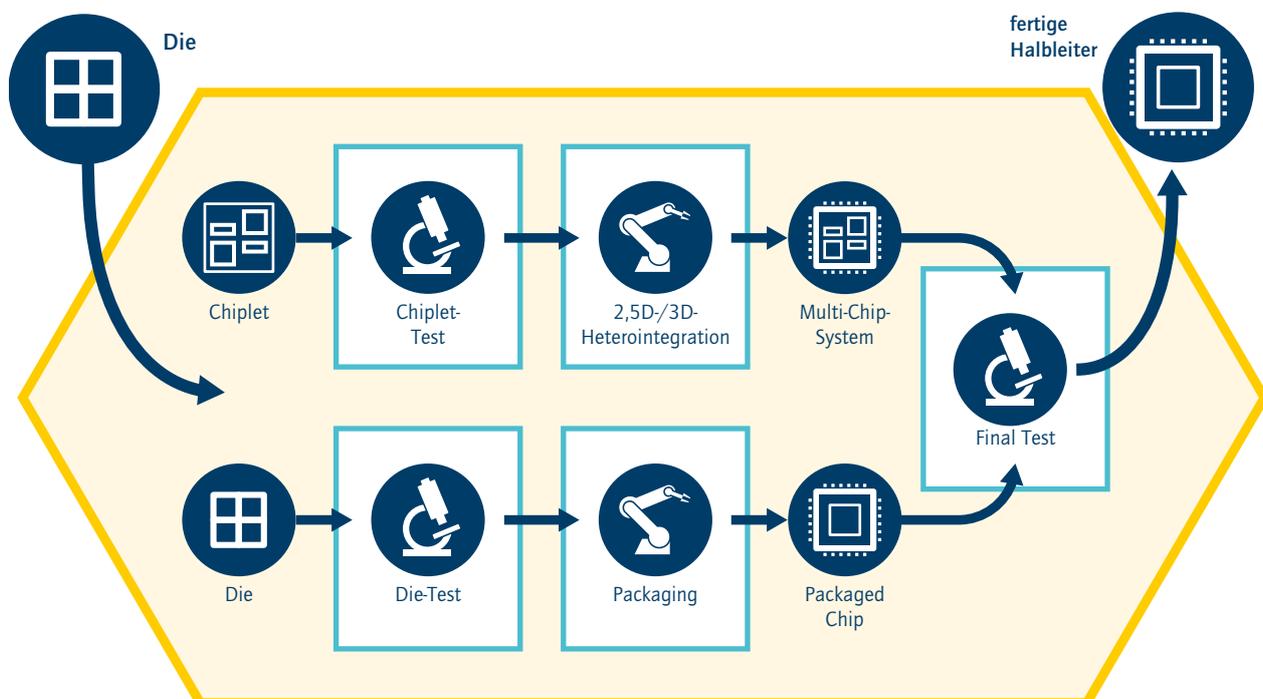


Abbildung 5: Prozessflow für Packaging & Test (Quelle: eigene Darstellung)



Je nach Bauteil können die Elemente neben- oder übereinander angeordnet sein, um eine optimale Funktionalität zu ermöglichen.

**Final Test:** Als letzten Schritt beinhalten beide Prozessflows einen finalen Test, um die Funktionalität des Chips abschließend zu prüfen und zu dokumentieren. Danach werden die fertigen Halbleiter für ihren jeweiligen Anwendungszweck verbaut und eingesetzt.

Obgleich die in den Abbildungen 2 bis 5 dargestellten Prozesse stark vereinfacht sind, geben sie einen Eindruck von der **Komplexität** und dem dahinterstehenden **Aufwand des Chip-designs**, das nur mit hochspezialisierten Computerprogrammen

sowie entsprechend ausgebildeten und erfahrenen Fachkräften möglich ist. Aufgrund des hohen Kostenaufwands sind mehr und mehr Unternehmen dazu übergegangen, die Entwicklungswerkzeuge oder sogar die fertigen Chips einzukaufen, anstatt sich teure Eigenentwicklungen zu leisten. Dies führt wegen eingeschränkter Optimierungsmöglichkeiten zu Kompromissen bei Funktion, Kosten und Marktdifferenzierung. Zudem hat dies – insbesondere im Feld der Entwicklungswerkzeuge – zu einer Konzentration weniger Anbieter geführt, deren Oligopolstellung sich für große europäische Unternehmen als Belastung, für KMU und Start-ups gar als unüberwindbare Hürde darstellt. Ein alternativer Ansatz zu diesen proprietären Designwerkzeugen soll nun im folgenden Kapitel vorgestellt werden.

### 3 Quelloffene Ansätze für Designinstrumente

**Chipdesign** ist ein weitgehend **immaterieller Entwicklungsprozess**, der zu einem großen Teil mehr den Praktiken in der Softwareentwicklung entspricht als der praktischen Entwicklungsarbeit mit mechanischen Baugruppen in der Konstruktionspraxis physikalischer Geräte und Anlagen (siehe Kapitel 2).

Werkzeuge zur Entwurfsautomatisierung in der Mikroelektronik sind Software, sodass sich die Prinzipien der **Open-Source-Softwareentwicklung** grundsätzlich übertragen lassen. Allerdings ist zu berücksichtigen, dass quelloffene EDA-Software ein Nischenthema mit kleiner Entwicklergemeinschaft darstellt.

Während die Lizenzkosten proprietärer Chipdesigntools keinesfalls vernachlässigt werden sollten, stehen für viele der befragten Befürworterinnen und Befürworter quelloffener Designtools weniger die Einsparungen bei den Lizenzkosten im Vordergrund. Vielmehr sehen sie in den Entwicklungsstrukturen quelloffener Hardware-IP sowie quelloffener Entwicklungswerkzeuge einen innovationsökonomischen Rahmen, der die starren Strukturen mit proprietären Designwerkzeugen sowie ihren strengen Nutzungsbedingungen und Geheimhaltungsvereinbarungen öffnet und technologische Durchbrüche ermöglicht.

Bereits Ende der 1960er Jahre machte Melvin Conway die Beobachtung, dass sich die **Strukturen von Entwicklungsorganisationen** in den **Eigenschaften der von ihnen designten Produkte** widerspiegeln. In dem Beitrag mit dem Titel „How Do Committees Invent?“ behauptet Conway:<sup>43</sup>

„Any organization that designs a system (defined broadly) will produce a design whose structure is a copy of the organization's communication structure.“

Aktuell wird der Einfluss von Organisationsstrukturen auf die technologische Entwicklung unter dem Schlagwort **Frictionless Reproducibility** diskutiert. David Donoho versteht darunter, dass wissenschaftliche Erkenntnisse ohne jegliche Hürden reproduziert und darauf aufbauend stetig Verbesserungen erzielt werden können. Mit Blick auf KI beruht Frictionless Reproducibility auf

drei Säulen, die auch in den Organisationsstrukturen von Open Source angelegt sind.<sup>44, 45</sup>

**Daten:** Daten sollen leicht zugänglich und teilbar sein.

**Code:** Der Code zur Verarbeitung der Daten soll einfach ausführbar sein.

**Wettbewerb:** Evaluierung soll durch wettbewerbsbasiertes Testen erfolgen.

Der Mechanismus hinter Frictionless Reproducibility fördert den **wissenschaftlichen und technologischen Fortschritt**, indem er eine **Vielzahl paralleler Experimente und Optimierungen** ermöglicht. Kleine Veränderungen werden getestet, und wenn sie Verbesserungen bringen, dienen sie als neue Ausgangspunkte für weitere Forschungen. Dieses iterative und dezentrale Vorgehen, das auf Veröffentlichung und Weitergabe von Erkenntnissen basiert, erlaubt es, gemeinsam in Coopetition auf bessere Lösungen hinzuarbeiten. Eine verbreitete These lautet, dass die Mechanismen der Frictionless Reproducibility die aktuellen Durchbrüche in der Künstlichen Intelligenz erst ermöglicht haben, weil erst seit der verbreiteten Nutzung des Internets sowie der breiten Verfügbarkeit ausreichender Rechenkapazität die richtigen Bedingungen vorliegen.

Die Frictionless Reproducibility in der Entwicklung von Chipdesigninstrumenten und im Chipdesign befindet sich nach Einschätzung der befragten Expertinnen und Experten noch in einem **frühen Stadium**. Es ist aber plausibel, anzunehmen, dass eine ähnliche Revolution auch in diesem Gebiet möglich wäre, wenn Chipdesigns (IP) und Methoden zum Chipdesign (EDA-Werkzeuge) frei geteilt und verglichen würden, wie dies bei Methoden der Künstlichen Intelligenz erfolgt ist.

Ausgehend von den technischen Erläuterungen zum Chipdesignprozess in Kapitel 2 werden in **Abschnitt 3.1** die **verfügbaren quelloffenen Chipentwicklungswerkzeuge** vorgestellt und kurz erläutert.

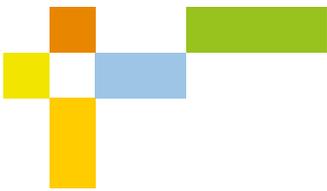
Aus dem Bericht zum Status quo werden zunächst die dringendsten Handlungsfelder abgeleitet. Darauf aufbauend wird – unter Berücksichtigung der *Open Source EDA Roadmap for Europe* – ein **Zielbild** hergeleitet.

Der Erfolg quelloffener Designinstrumente ist maßgeblich von einer breiten Nutzung sowie von Geschäftsmodellen abhängig,

43 | Conway 1968, S. 31.

44 | Vgl. Donoho 2024.

45 | Vgl. Recht 2024.



die den erheblichen Ressourcenaufwand für Entwicklung und Maintenance tragen können. In **Abschnitt 3.2** werden der **Wertschöpfungsaspekt und die Motivation** zur Nutzung von quelloffenen Designinstrumenten mit Blick auf Bildung und Forschung, industrielle Anwendungen sowie kommerzielle Anbieter quelloffener Lösungen untersucht.

Da die Mechanismen der Frictionless Reproducibility zu einem großen Teil auf nichttechnischen Faktoren basieren, richtet sich der Fokus in **Abschnitt 3.3** auf die **Governance** von quelloffenen Ökosystemen, die spezifischen rechtlichen Anforderungen sowie die Bedeutung von Normierungs- und Standardisierungsprozessen. Am Ende des Kapitels wird erläutert, durch welche flankierenden Maßnahmen der Staat den Aufbau eines selbsttragenden Ökosystems in Deutschland und Europa unterstützen kann.

### 3.1 Zielbild einer quelloffenen Entwurfskette

Während quelloffene Werkzeuge für einzelne Designschritte der in den Abbildungen 2 bis 5 gezeigten Entwurfskette seit langer Zeit existieren, war es bis vor einigen Jahren nicht **möglich, die gesamte Prozesskette der Halbleiterentwicklung mit quelloffenen Werkzeugen zu beschreiten**. Dementsprechend war der Einsatz quelloffener Tools immer mit einem hohen Mehraufwand verbunden, um sie manuell in die bestehenden proprietären Entwurfsketten zu integrieren, was eine organisatorische und ökonomische Hürde darstellt. Aus diesem Grund sind Effekte der Frictionless Reproducibility bei der Mikroelektronik bisher noch nicht sichtbar.

In den letzten Jahren konnte – insbesondere durch Aktivitäten an der ETH Zürich im Rahmen der PULP Plattform<sup>46</sup> – eine vollständig quelloffene Entwurfskette für Digitaldesign erarbeitet werden, sodass mittlerweile erste Erfolgsbeispiele von vollständig mit quelloffenen Werkzeugen entwickelten Designs vorliegen. Allerdings bleibt die Landschaft der quelloffenen Designinstrumente für wesentliche Technologiedomänen nach wie vor fragmentiert und unvollständig. Aus diesem Grund wird weiterhin das **Zielbild einer vollständigen quelloffenen Entwurfskette bis zum 22 nm-Knoten** verfolgt. Neben den EDA-Werkzeugen, die für den Schaltungsentwurf von zentraler Bedeutung sind, müssen für eine vollständig quelloffene Entwurfskette auch die Elemente IP, Libraries und PDKs beziehungsweise ADKs berücksichtigt werden:

**Quelloffene IP** ist nur zu einem geringen Grad verfügbar. Selbst Schaltungen, die seit Jahren und Jahrzehnten gängig sind, müssen häufig neu entworfen beziehungsweise eingekauft oder lizenziert werden. Eine Ursache hierfür ist unter anderem, dass sich IP häufig auf einen konkreten Fertigungsprozess bezieht, dessen PDK wiederum an Geheimhaltungsvereinbarungen gebunden ist, die eine freie Veröffentlichung von IP verbieten. Während etablierte Unternehmen auf ihren eigenen Fundus an bereits entwickelter IP zugreifen können, müssen neue Akteure die IP erst selbst entwickeln oder lizenzieren.

**Quelloffene Libraries und PDKs** sind nicht üblich, da die dort gespeicherten Informationen Einblick in und Rückschlüsse auf die technologischen Qualitäten der Fabs erlauben. Vielmehr ist der Abschluss von Geheimhaltungsvereinbarungen (Non-Disclosure Agreements, NDAs) die Regel, was eine Barriere für quelloffene Designflows darstellt.<sup>47</sup>

Ausnahmen stellen Open-Source-Ansätze wie das 130 nm SkyWater Open PDK und das **offene PDK** des IHP sowie das 180 nm PDK von GlobalFoundries (GF180) dar (siehe auch Kasten „Open Source PDKs für Chipdesign“). Allerdings unterstützen die bislang verfügbaren offenen PDKs lediglich reifere Technologien mit Knotengrößen von 130 Nanometern und mehr. Der Zugang zu modernen Fertigungstechnologien bleibt kleinen Unternehmen und Start-ups, die weder über große Auftragsvolumina noch die entsprechenden finanziellen Mittel verfügen, um Aufträge mit modernen kommerziellen PDKs zu platzieren, somit oft verwehrt.

Um die hohen Kosten der Chipfertigung zu reduzieren, besteht die Möglichkeit, verschiedene Designs auf einem einzigen Silizium-Wafer – einem sogenannten **Multi-Project Wafer (MPW)** – zu platzieren. Dabei teilen sich mehrere Entwickler oder Firmen einen Wafer, die einzelnen Dies mit den **unterschiedlichen Designs** werden nach der Produktion an die beteiligten Parteien ausgeliefert.

#### Open Source PDKs für Chipdesign: SkyWater 130 nm, GlobalFoundries 180 nm und IHP 130 nm

Das **Open Source PDK SkyWater 130 nm**<sup>48</sup> wurde von SkyWater Technology gemeinsam mit Google entwickelt. Es ermöglicht Universitäten und Start-ups, erste

46 | Vgl. ETH Zürich 2024.

47 | Vgl. <https://open-source-chips.eu/>

48 | Informationen zum SkyWater Open Source PDK finden sich bei GitHub, URL: <https://github.com/google/skywater-pdk> [Stand 29.04.2025].

Erfahrungen im Chipdesign zu sammeln und Prototypen kostengünstig zu entwickeln. Allerdings ist das PDK auf 130-nm-Technologien limitiert und somit eher für die Erstellung von Mikrocontrollern, Sensoren oder Mixed-Signal-Designs geeignet.

Ähnlich wie das SkyWater 130 nm wurde das **GlobalFoundries 180 nm (GF180) PDK**,<sup>49</sup> in Zusammenarbeit mit Google veröffentlicht. Verglichen mit SkyWater 130 nm bietet GF180 bessere Optionen für Analog- und RF-Designs, ist jedoch nicht für digitale Designs optimiert.

Auch das **IHP** hat ein **offenes PDK** für seine **130-nm-BiCMOS-Technologie** veröffentlicht. Bislang ist dieses lediglich als experimentelle Vorschau verfügbar<sup>50</sup> und kann noch nicht für die Produktion genutzt werden.

### 3.1.1 Open Source als Alternative und Ergänzung zu proprietären Lösungen

Bei der Betrachtung der jeweiligen Vor- und Nachteile quelloffener und proprietärer Lösungen wird deutlich, dass diese beiden Ansätze nicht in direkter Konkurrenz zueinander stehen, sondern in bestimmten Anwendungsfällen jeweils die eine oder andere Option sinnvoller ist. Während die **proprietären Werkzeuge** bei den Aspekten **Performance und Effizienz** den **quelloffenen Alternativen** üblicherweise voraus sind, müssen beim Einsatz Letzterer beispielsweise **weniger Randbedingungen bezüglich der Nutzungslizenzen** berücksichtigt werden. Daher sollten quelloffene IP-Bibliotheken, EDA-Softwarewerkzeuge oder PDKs nicht als Konkurrenz zu existierenden proprietären Angeboten verstanden werden. Vielmehr können sie in den Fällen, in denen der Einsatz der bisher gängigen Werkzeuge mit ihren ökonomischen, rechtlichen oder technologischen Randbedingungen nicht optimal ist, als **Ergänzung oder Alternative** in Betracht gezogen werden.

Bei Anwendung von **Open-Source-Lösungen** sollte jedoch beachtet werden, dass diese Werkzeuge zumeist nicht „**schlüsselfertig**“ für die jeweilige Problemstellung vorliegen, sondern häufig für die jeweilige Anwendung konfiguriert und angepasst werden müssen. Im einfachsten Fall geschieht dies durch die Anwender selbst –

ab einem gewissen Komplexitätsgrad wird es jedoch häufig notwendig, auf Servicepartner zurückzugreifen, die mit den Tools vertraut sind.

Sobald quelloffene Designwerkzeuge ein wesentliches Element der eigenen Chipentwicklung sind, haben die Unternehmen die Möglichkeit, die nötigen Kompetenzen sowie Ressourcen aufzubauen, um diese **Werkzeuge** selbst zu pflegen und **auf die eigenen Anforderungen hin anzupassen**.

Dies stellt einen zentralen Vorteil gegenüber den **proprietären Designwerkzeugen** dar, die immer im **Besitz fremder Unternehmen** bleiben, welche die **Nutzungskonditionen** (zum Beispiel Preise) jederzeit ändern können. Zwar ist der Einsatz quelloffener Lösungen nicht unbedingt mit einer Kostenreduktion verbunden, schafft aber Unabhängigkeit gegenüber den proprietären Lösungen. Andere Vor- und Nachteile wie Leistungsfähigkeit, Umfang der Features, Anpassungsfähigkeit und Verfügbarkeit von Services sind je nach Anwendungsfall abzuwägen. Im Folgenden soll die Situation für quelloffene IP, Entwurfswerkzeuge für digitale (Custom Design) und analoge (Semi-Custom Flow) Schaltungen und PDKs sowie ADKs beschrieben und bewertet werden.

**Digitaldesign/Semi-Custom Design:** Tabelle 1 zeigt eine Auswahl quelloffener Alternativen zu den Lösungen proprietärer Anbieter für die Entwurfskette digitaler Schaltungen. Für die explorative Designphase, und wenn auf reifere Technologieknoten zurückgegriffen wird, können quelloffene Lösungen – mit Einschränkungen – die proprietären Werkzeuge ersetzen. Derzeitige Entwicklungen führen zu einer stetigen Steigerung der Leistungsfähigkeit quelloffener Werkzeuge. Allerdings gibt es auch **Lücken in der Open-Source-Tool-Landschaft**, insbesondere bei den letzten Schritten des Designprozesses wie dem Design for Test. Hier existieren derzeit keine adäquaten quelloffenen Lösungen. Dies ist in Abbildung 6 grafisch dargestellt. In den gelb markierten Bereichen stehen quelloffene Designwerkzeuge bereits zur Verfügung, sind allerdings im Vergleich zu den etablierten proprietären Angeboten weniger ausgereift. Orange gekennzeichnete Schritte können bislang nur unzureichend oder gar nicht mit quelloffenen Lösungen abgebildet werden. Hier bestehen Lücken, die gezielt analysiert und geschlossen werden sollten.

49 | Vgl. GitHub 2025a.

50 | Vgl. IHP PDK 2024.



Schritt in digitaler Entwurfskette	Open-Source-Werkzeug
Architektur- und Systementwurf	SystemC (GCC, Clang), SystemVerilog (Slang, Surelog), topwrap, fusesoc, Kactus, Chisel, SpinalHDL, GHDL, TerosHDL, CIRCT
Synthese	Yosys+ABC with plugins for SystemVerilog (Slang) and VHDL (GHDL)
Place and Route	OpenLane, OpenROAD, padding, Coriolis
Data Preparation, Signoff	OpenLane, OpenROAD, KLayout, Magic, CVC
Validierung	NetChain, OpenROAD, OpenSTA, OpenRCX, KLayout, Magic, netgen, EQY, MCY, SBY
Design for Test	Fault
Verifikation	Verilator, Icarus Verilog, Cocotb, Surfer, gtkwave, Covered, pyUVM, vUNIT

Tabelle 1: Open-Source-Werkzeuge für die digitale Entwurfskette<sup>51</sup> (Quelle: eigene Darstellung)

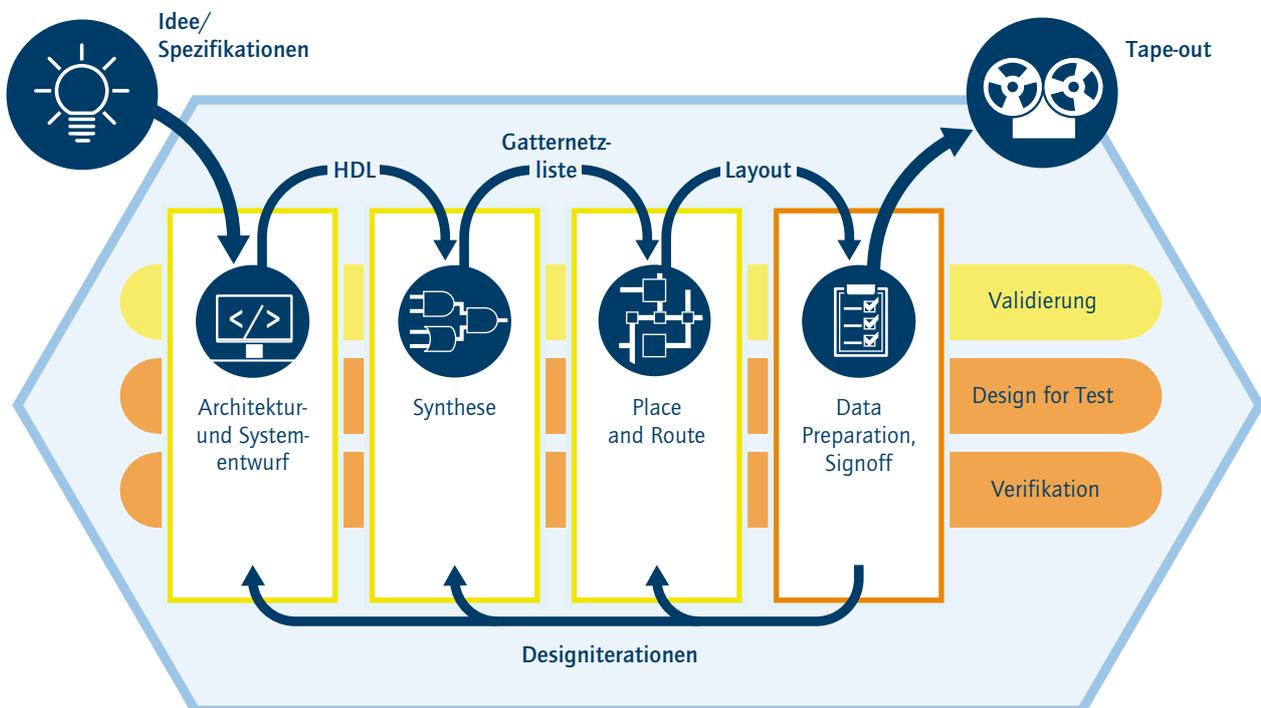


Abbildung 6: Einordnung der Reife und Verfügbarkeit quelloffener Werkzeuge für die Schritte der digitalen Entwurfskette (Quelle: eigene Darstellung)

51 | Die Liste soll einen Überblick gebräuchlicher Open-Source-Designwerkzeuge für die digitale Entwurfskette bieten, erhebt jedoch keinerlei Anspruch auf Vollständigkeit. Eine umfangreiche und aktuelle Übersicht zu Open-Source-EDA-Werkzeugen findet sich unter <https://codeberg.org/fsi/toolchain-directory>

Schritt in analoger Entwurfskette	Open-Source-Werkzeug
Architecture, Schematic/Netlist Entry	Python, Xschem, Qucs-S, pygmid
Custom Layout Design	KLayout, Magic, gdsfactory
Physical Verification/Parasitic Extraction	Magic, Klayout, KLayout-PEX, netgen
Simulation	Ngspice, Xyce, CACE (Simulation Runner), OpenVAF (Model Compilation)
Validierung	Klayout, Magic, netgen, OpenEMS (EM Solver), GAW (Waveform Viewer), PyOPUS
Design for Test	CVC
Final Verification & Signoff	Magic and Klayout (Parasitic Extraction), CACE (PVT, Monte Carlo)

Tabelle 2: Open-Source-Werkzeuge für die analoge Entwurfskette<sup>54</sup> (Quelle: eigene Darstellung)

Die **FOSSI Foundation**<sup>52</sup> schlägt im Bereich Semi-Custom Design für eine europäische Roadmap die Orientierung an folgenden Zielen vor:<sup>53</sup>

Kurzfristige Ziele:

- Verbesserungen im Bereich der parasitischen Extraktion, einschließlich experimenteller Verifikation auf gefertigten Chips
- Nutzung von Open-Source-IC-Design-Tools für fortgeschrittene Technologien
- Unterstützung für Scan-Einfügung, Fehleranalyse und automatische Testmuster-generierung
- Reduzierung der Laufzeit von EDA-Tools für große Designs
- Unterstützung für Multi-Corner-/Multi-Constraint-Designs
- Neue Ansätze für Design for Test (DFT) und Design for Manufacturing (DFM)
- Unterstützung für 2.5D- und 3D-Integration
- Erstellung synthetischer Benchmarks zur Kalibrierung und Validierung von Tools
- Verbesserte Unterstützung für FPGA-Designs und FPGA-zu-ASIC-Flows
- Baseline-SRAM-Generatoren für Open Source Nodes, Integration von SRAM-Generatoren in den digitalen Designfluss (Inferenz)

Mittel- bis langfristige Ziele:

- Formale Äquivalenzprüfung entlang des gesamten digitalen Design Flow
- Entwicklung von Speichercontrollern für DRAM und deren Simulation
- Erforschung von ML-gestützten Methoden für den Digital Design Flow

- KI-basierte physikalische Synthese und Floorplanning
  - Design Space Exploration mit ML-Unterstützung.
  - Nutzung von LLMs zur Unterstützung bei Design-Flow-Skripten
- Weiterentwicklung des Design Flow für:
  - Multi-Power Domains, Power Gating, Power-Optimierung und Power-Delivery-Netzwerke
  - Signal-Integritätsanalyse
  - Strukturierte Platzierung und Verdrahtung
- SRAM-Generatoren für kleinere Nodes PPA-optimiert
- Während sich diese Schritte den technologischen Aspekten der quelloffenen Entwurfskette für Semi-Custom Design widmen, sind auch ökonomische und organisatorische Maßnahmen notwendig, um die erwarteten Vorteile quelloffener Lösungen zu erreichen, die in den Unterkapiteln 3.2 und 3.3 dieser Publikation beschrieben werden.

**Analogdesign/Custom Design:** Auch für analoge Schaltungen-würfe gibt es quelloffene Lösungen, allerdings ist die Entwurfskette hier weniger vollständig ausgebildet als im Digitaldesign. Eine Auswahl gängiger quelloffener Entwurfswerkzeuge ist in Tabelle 2 dargestellt. Hier zeigt sich, dass lediglich die ersten Schritte der Entwurfskette beim Analogdesign gut durch quelloffene Lösungen abgedeckt sind. Wie in Abbildung 7 veranschaulicht, bestehen bereits ab der Layout-Phase signifikante Lücken: Hier sind quelloffene Lösungen entweder nicht vorhanden oder weisen eine sehr eingeschränkte Leistungsfähigkeit und Effizienz auf. Insbesondere bei der Simulation sind die Funktionalitäten der verfügbaren quelloffenen Lösungen aktuell unzureichend.

52 | Vgl. <https://fossi-foundation.org/>

53 | Vgl. The FOSSI Foundation 2024.

54 | Die Liste soll einen Überblick gebräuchlicher Open-Source-Designwerkzeuge für die analoge Entwurfskette bieten, erhebt jedoch keinerlei Anspruch auf Vollständigkeit. Eine umfangreiche und aktuelle Übersicht zu Open-Source-EDA-Werkzeugen findet sich unter <https://codeberg.org/fsi/toolchain-directory>.

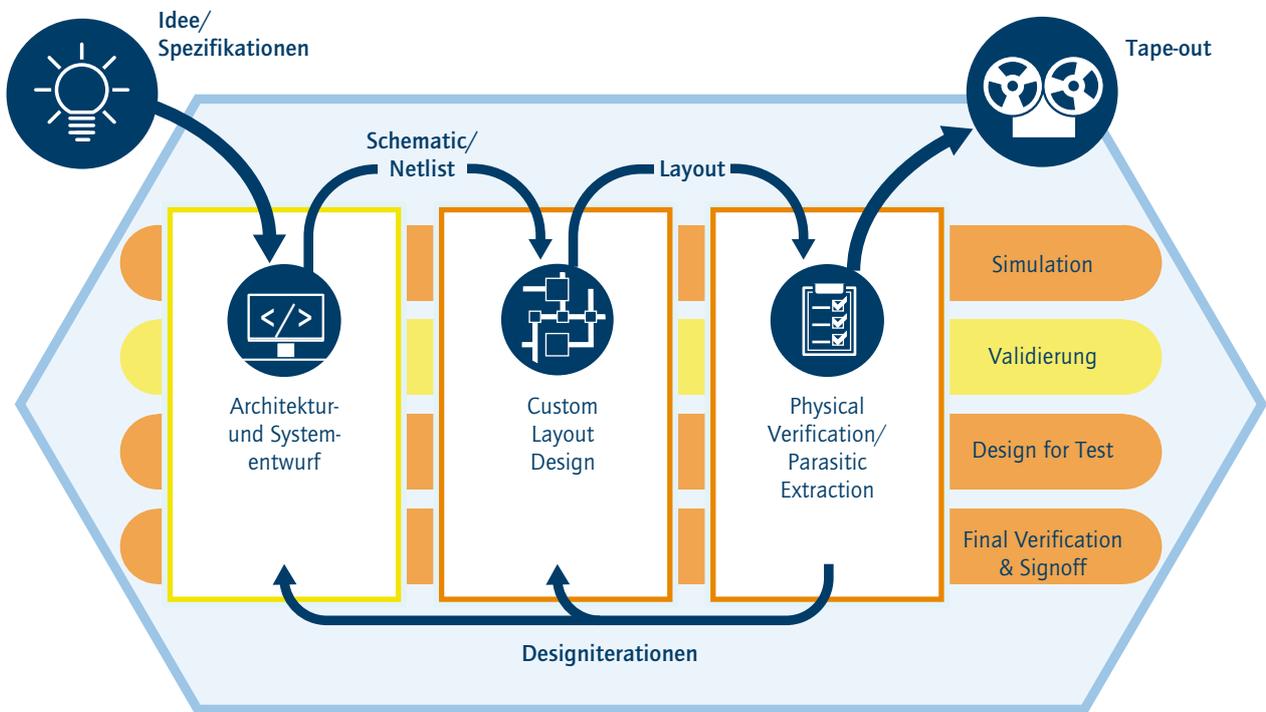


Abbildung 7: Einordnung der Reife und Verfügbarkeit quelloffener Werkzeuge für die Schritte der analogen Entwurfskette (Quelle: eigene Darstellung)

Die **FOSSI Foundation** schlägt im Bereich Custom Design für eine europäische Roadmap die Orientierung an folgenden Zielen vor.<sup>55</sup>  
Kurzfristige Ziele:

- Verbesserung der Open-Source-EDA-Tools für kommerzielle Nutzung
- Qualitätssteigerung bestehender Open-Source-EDA-Tools
- Verfügbare Open-Source-PDKs für das analoge Design, einschließlich fortschrittlicher SPICE-/Verilog-A- und EM-Simulationsmodelle sowie parasitärer Extraktion

Mittel- bis langfristige Ziele:

- Einsatz von KI/ML im IC-Design und Verifikationsprozess: Entwicklung von KI-gestützten Methoden zur Optimierung und Automatisierung von Design- und Verifikationsprozessen
- Leistungsangleichung Open-Source-EDA an kommerzielle Tools
- Entwicklung von Designtools für Terahertz-Schaltungen

- Werkzeuge für neuromorphes Computing und Sensorik: Entwicklung von Designtools für gehirnsynthetisierte Rechentechnologien einschließlich analoger und digitaler CMOS-Designs, Memristoren, Ferroelektrika und stochastischer Bauelemente auf einem einzigen SoC

Entwicklung von Hochleistungsanaloggeneratoren  
Damit die Designwerkzeuge eine echte Alternative zu den proprietären Angeboten darstellen können, müssen sie dringend weiterentwickelt werden, zum Beispiel im Rahmen einer gezielten Förderung, um Start-ups und Entwicklungsdienstleistern die Möglichkeit zu geben, im Analogdesign Geschäftsmodelle auf Grundlage quelloffener Lösungen zu realisieren.

**Packaging & Test:** Der Bereich Packaging & Test wird größtenteils von etablierten Unternehmen mit inhouse entwickelten Lösungen bedient. Da Letztere auf die jeweiligen spezifischen Anforderungen sowie die Schnittstellen für die proprietären Designwerkzeuge zugeschnitten sind, gibt es bisher, bis auf das Tool Open3DFlow,<sup>56</sup> keine verbreiteten quelloffenen Lösungen

55 | Vgl. The FOSSI Foundation 2024.

56 | Vgl. GitHub 2025b.

für dieses Feld. Eine wichtige Aktivität in diesem Bereich ist die APECS-Pilotlinie (siehe Kasten), die sich dieser Problematik widmen soll.

Die **FOSSi Foundation** schlägt im Bereich Packaging & Test für eine europäische Roadmap die Orientierung an folgenden Zielen vor:<sup>57</sup>

Kurzfristige Ziele:

- Werkzeuge für System-in-Package (SiP): Bedarf an Tools für die substratbasierte Integration von Standard-Dies mit Fokus auf Signalverzögerung, Wärmemanagement und Tests
- Open Source Assembly Design Kits: Entwicklung offener ADKs für heterogene Integration und Packaging-Pilotlinien in der EU

Mittel- bis langfristige Ziele:

- DFT-Tools für Chiplets: Bedarf an spezifischen Design-for-Test-Methoden
- Simulationstools für thermische und elektrische Eigenschaften von SiP-Designs
- System-on-Die (SoD)-Integration: Langfristig zunehmende Relevanz von Tools für die vollständige Integration von Systemen auf einem Die
- DFM-Tools: Langfristige Entwicklung von Design-for-Manufacturing-Werkzeugen mit physikalischer Überwachung und offenen ADKs für Chiplet-Systeme unter Berücksichtigung rechtlicher Sicherheitsanforderungen
- Weitere Open-Source-PDKs: Nicht zwingend erforderlich, aber förderlich für die Integration proprietärer und von Open-Source-Chips

### Europäische APECS-Pilotlinie für Advanced Packaging and Heterogeneous Integration for Electronic Components and Systems

Mit der Pilotlinie Advanced Packaging and Heterogeneous Integration for Electronic Components and Systems (APECS)<sup>58</sup> sollen die Forschungs- und Fertigungskapazitäten für Halbleiter in Europa ausgebaut und **Chiplet-Innovationen** vorangetrieben werden.

Die Pilotlinie wird von im Rahmen der **Forschungsfabrik Mikroelektronik Deutschland (FMD)** kooperierenden

Instituten und europäischen Partnern aufgebaut. Dabei werden die technologischen Kompetenzen, Infrastrukturen und das Know-how der zehn Partner – darunter die Fraunhofer-Gesellschaft als Koordinatorin sowie die zwei Leibniz-Institute FBH und IHP – aus mehreren europäischen Ländern gebündelt.

APECS soll nicht nur großen Unternehmen, sondern auch **KMU und Start-ups** einen niederschweligen Zugang zu den neuesten Technologien ermöglichen. Das Projekt ist wichtiger Baustein des EU Chips Act und wird mit Geldern des *Chips Joint Undertaking*<sup>59</sup> sowie nationalen Fördermitteln von Deutschland und weiteren europäischen Partnern<sup>60</sup> kofinanziert.

**Produktivität, Interoperabilität und Verifikation:** Zur Stärkung der europäischen Chipentwicklung sind zudem weitere übergreifende Maßnahmen, die über die genannten Punkte hinausgehen und eine höhere Produktivität ermöglichen, erforderlich. So können neue Designmethoden und moderne Softwarepraktiken den Entwurfsprozess beschleunigen. Intuitive grafische Benutzeroberflächen und eine bessere Dokumentation versprechen eine erhöhte Verbreitung und Nutzerfreundlichkeit.

Die **FOSSi Foundation** schlägt für mehr **Produktivität, Interoperabilität und bessere Verifikationsprozesse** die Orientierung an folgenden Zielen vor:<sup>61</sup>

Kurzfristige Ziele:

- Design-IP-Management: Erleichterung der Erstellung wiederverwendbarer IP durch gemeinsame Austauschformate
- Bereitstellungsfähige Cloud-Container: Unterstützung für Umgebungen zur Continuous Integration- (CI) beziehungsweise zum Continuous Development (CD)
- Industrieübliche Verifikationsunterstützung: Vollständige Unterstützung der Unified Verification Methodology (UVM), Einheitstests (Pass/Fail), Abdeckungsmetriken und Integration in moderne CI/CD Workflows

Langfristige Ziele:

- Integration mit industrieüblichen Werkzeugen, Unterstützung domänenspezifischer Methoden
- Intuitivere grafische Benutzeroberflächen: Entwicklung interaktiver Interfaces sowie verbesserte Nachverfolgbarkeit und Kommunikation von Designinformationen

57 | Vgl. The FOSSi Foundation 2024.

58 | Vgl. Fraunhofer IIS 2024.

59 | Vgl. Chips JU 2025.

60 | Vgl. Europäische Kommission 2025.

61 | Vgl. The FOSSi Foundation 2024.



- Standardisierung von Technologiedateien: Einheitliche DRC- und LVS-Regeln, Geräteparameter, Netlists und Pins
- Industrieübliche Verifikationsunterstützung, FPGA-basierte Emulation und Verifikation
- KI-gestützte Verifikation: Erforschung des Einsatzes von Large Language Models (LLMs)

Auch hier sind die Ziele eher technischer Natur, und es bedarf neben diesen Maßnahmen auch geeigneter ökonomischer und organisatorischer Schritte, um das Entwicklungssystem für quelloffene Designwerkzeuge als Alternative und Ergänzung zu den proprietären Angeboten zu etablieren.

### 3.1.2 Open Source als Enabler für Spezialanwendungen und Zukunftstechnologien

Neben der Anwendung als Alternative und Ergänzung für etablierte proprietäre Werkzeuge ist das zweite wichtige Feld, in dem quelloffene Designwerkzeuge einen Vorteil bieten können, das der **Spezialanwendungen und Zukunftstechnologien**. Da die großen proprietären Designwerkzeuge entlang der Anforderungen des Markts hauptsächlich für die Großkunden in den USA entwickelt werden, werden für neue Technologien mit noch überschaubarem Marktpotenzial und noch kleinem Kundenkreis häufig keine geeigneten Werkzeuge angeboten. In diesen Communities werden die notwendigen Werkzeuge daher gezwungenermaßen selbst entwickelt und im Falle von Start-ups und Forschungsprojekten üblicherweise auch quelloffen bereitgestellt. Sobald ein Werkzeug eine relevante Größe von Features und Nutzenden erreicht hat, wird es üblicherweise von einem der großen Anbieter aufgekauft und in das proprietäre Portfolio integriert, während die weiterhin verfügbare quelloffene Version nicht mehr gepflegt wird. Im Folgenden werden zwei wesentliche Zukunftstechnologien, in denen bereits quelloffene Entwicklungswerkzeuge verfügbar sind, beispielhaft vorgestellt:

- **Photonisches Computing:** Photonische Bauelemente sind in der Kommunikationstechnik etabliert, um große Datenmengen nahe der Lichtgeschwindigkeit um den Globus zu schicken. Basierend auf etablierten Fertigungsprozessen rücken nun verstärkt auch photonische Spezialprozessoren in den Fokus von Forschung und Entwicklung: Hier werden anstelle von Spannungen und Strömen die Eigenschaften von Lichtwellen moduliert und mehrere solche modulierten

Signale miteinander kombiniert, um damit Rechenaufgaben abzubilden. Photonische Chips eignen sich besonders gut für Matrix-Vektor-Multiplikationen, wie sie für Anwendungen der Künstlichen Intelligenz benötigt werden, und können perspektivisch als Co-Prozessoren für rechenintensive Aufgaben eingesetzt werden. Im Unterschied zu Elektronen weisen Lichtteilchen viele Freiheitsgrade auf, die eine gleichzeitige Datenverarbeitung bei vergleichsweise geringem Energieverbrauch ermöglichen. Da für dieses neue Anwendungsfeld nur wenige Designwerkzeuge verfügbar sind, nutzen die in diesem Bereich aktiven Start-ups mitunter die verfügbaren quelloffenen Designwerkzeuge für den Entwurf elektrischer Schaltungen und passen diese an optische Schaltungen an.<sup>62</sup>

- **Quantencomputer und -sensoren:** Quantencomputer stellen ebenfalls einen komplett neuen Ansatz dar, durch den neue Möglichkeiten der Datenverarbeitung erschlossen werden, die auf der Grundlage bisheriger Computerarchitekturen ausgeschlossen sind. Da es eine Vielzahl konkurrierender Technologien und Architekturen zum Bau von Quantencomputern gibt und noch nicht absehbar ist, welche sich davon durchsetzen werden, wird an dieser Stelle auf eine Erläuterung zur Funktionsweise dieser Computer verzichtet. Eine Übersicht zu aktuellen technologischen Entwicklungspfaden findet sich im Dossier *Innovationspotenziale der Quantentechnologien der zweiten Generation*.<sup>63</sup> Auch für diese Zukunftstechnologie wird, sobald eine kritische Komplexität erreicht ist, der Einsatz von Werkzeugen für den automatisierten Schaltungsentwurf notwendig. Ein Beispiel für quelloffene Entwurfswerkzeuge in dieser Technologiedomäne ist die Qiskit-Umgebung.<sup>64, 65</sup>

Die zwei skizzierten Beispiele zeigen exemplarisch, wie quelloffene Entwurfswerkzeuge in vielversprechenden Zukunftstechnologien, die bisher weder einen konkreten Mehrwert in einer definierten Anwendung noch ein funktionierendes Geschäftsmodell vorweisen können, einen Vorteil bieten können. Während proprietäre Anbieter für kostenpflichtige Entwurfswerkzeuge solcher Zukunftstechnologien nur schwer Kunden gewinnen könnten, ermöglichen frei verfügbare quelloffene Werkzeuge einen niederschweligen Zugang zu der Technologie, was deren Entwicklung beschleunigt und gleichzeitig die Verfügbarkeit von in den Zukunftstechnologien ausgebildeten Fachkräften sicherstellt.

62 | Vgl. Kissner et al. 2024.

63 | Vgl. acatech 2020.

64 | Vgl. IBM 2025.

65 | Vgl. Qiskit Community 2025.

## 3.2 Geschäftliche und organisatorische Rahmenbedingungen quelloffener Designinstrumente

Open Source bezeichnet eine **kooperative Entwicklungsmethode**, durch die Innovationen beschleunigt werden können (siehe Kapitel 1); Geschäftsmodelle entstehen in unterschiedlichen Phasen des Wertschöpfungsprozesses. Auch wenn eine Abgrenzung häufig nicht vollkommen trennscharf verläuft, lässt sich die mit Open Source verbundene Wertschöpfung vereinfacht in **drei Bereiche** untergliedern:

- **Wertschöpfung von Open Source:** In einem übertragenen Sinne können quelloffene Produkte selbst als Akteure verstanden werden. Die spezifischen Eigenschaften quelloffener Produkte prägen sowohl die Formen der Zusammenarbeit von Entwicklern und Entwicklerinnen untereinander als auch die Beziehung zwischen ihnen und dem Produkt selbst. Im Bildungsbereich werden insbesondere die Praktiken im Umgang mit offenem Quellcode als eine Art Wertschöpfung verstanden, da Lernende so ein tieferes technisches Verständnis erlangen können, als dies mit proprietären Produkten möglich wäre.
- **Wertschöpfung mit Open Source:** Geschäftsmodelle mit Open Source dienen der kommerziellen Wertschöpfung. Quelloffene Produkte als Enabler bilden dabei nicht den eigentlichen Geschäftszweck, sondern sind nur ein Mittel zum Zweck der Erbringung einer davon unabhängigen Leistung. Im Falle der Chipentwicklung durch ein Designhaus sind nicht quelloffene Entwurfswerkzeuge der Geschäftszweck, sondern die mit deren Unterstützung erstellten Chipdesigns als geistiges Eigentum.
- **Wertschöpfung durch Open Source:** Wenn Geschäftsmodelle unmittelbar auf Open Source aufbauen und die Wertschöpfung durch den Verkauf von Leistungen im Zusammenhang mit quelloffenen Technologien entsteht, werden Werte durch Open Source geschaffen. Die Wertschöpfung kann, abhängig vom Geschäftsmodell, sowohl kommerziellen Interessen dienen als auch der Gemeinnützigkeit im Sinne einer Allmende.

In den folgenden Abschnitten wird die **Wertschöpfung von, mit und durch Open Source** genauer erläutert. Anhand von Beispielen aus der Praxis werden in Infokästen unterschiedliche Arten der Wertschöpfung veranschaulicht.

Im ersten Unterkapitel liegt der Schwerpunkt auf der Wertschöpfung von Open Source in **Bildung und Forschung**. Dabei werden laufende Aktivitäten von Chipdesign Germany sowie weitere Förderverfahren auf nationaler und europäischer Ebene berücksichtigt. Der zweite Abschnitt beschreibt die **Motivation zur kommerziellen Nutzung von quelloffenen Designinstrumenten**. In diesem Zusammenhang werden neben den bereits heute bestehenden Nutzungsmöglichkeiten auch die damit verbundenen Herausforderungen und Grenzen beleuchtet. Da das Ziel ein selbsttragendes Open-Source-Ökosystem ist, werden im dritten Unterkapitel schließlich **Möglichkeiten für auf Open Source basierende Geschäftsmodelle** vorgestellt. Dabei werden bestehende Geschäftsmodelle eingeordnet und mögliche Entwicklungspfade grob skizziert.

### 3.2.1 Wertschöpfung von Open Source: Bessere Bildung durch transparente Strukturen

In den vergangenen Jahren sind die **Studierendenzahlen** in den Fächern **Elektronik und Elektrotechnik** kontinuierlich **gesunken**.<sup>66</sup> Neben dem hohen Anspruch des Studienfachs wird als Ursache hierfür auch der fehlende Bezug der gelehrteten Inhalte zur alltäglich sichtbaren Digitalindustrie gesehen. Während Informatikstudierende ihre Programmierkenntnisse nach wenigen Semestern in eigene Programme und Anwendungen beziehungsweise Apps umsetzen können, für die gegebenenfalls auch erfolgreiche Geschäftsmodelle gefunden werden können, bleiben die in der Mikroelektronik gelehrteten Inhalte, insbesondere im Chipdesign, aufgrund der hohen Fertigungskosten oftmals theoretisch, und der einzig plausible Karrierepfad für Absolventinnen und Absolventen sind große Unternehmen.

Zwar sind die **proprietären Designwerkzeuge** unter akademischen Lizenzen für die Studierenden breit **verfügbar**, doch dürfen damit entwickelte Schaltungen nicht ohne Weiteres für Unternehmensgründungen, sondern kostenfrei nur in wissenschaftlichem Kontext eingesetzt werden. Auch die eigentliche Funktionsweise der proprietären Designwerkzeuge bleibt hinter dem Benutzerinterface verborgen, was eigene Entwicklungen auf dem Gebiet des automatisierten Schaltungsentwurfs verhindert.

Eine mögliche Lösung sind quelloffene Designwerkzeuge. Hier sind Lizenzen unbürokratisch sowie kostengünstig und machen den Abschluss von Vertraulichkeitsvereinbarungen überflüssig. Dadurch wird die **Einstiegshürde in Bildung und Forschung** erheblich gesenkt, sodass bereits Schülerinnen und Schüler sowie Studierende die Entwurfskette der Mikroelektronik kennenlernen können.



Doch nicht nur der Erstkontakt des Nachwuchses mit der Mikroelektronik wird durch quelloffene Lösungen erleichtert. Studierende können nach Angaben der befragten Expertinnen und Experten durch die Entwicklung eigener Chips auch frühzeitig für das Fachgebiet begeistert werden und gewinnen durch den **transparenten Zugriff auf den Quellcode** tiefe Einblicke in die Funktionsweise der Technologie.

Quelloffenheit ist eine Eigenschaft, die selbst Werte schafft, indem sie sich positiv auf die Qualität der Ausbildung auswirkt und zur **Bildung des Humankapitals** beiträgt. Die Transparenz der quelloffenen Codes hilft dabei, Programmierkompetenzen zu erwerben und dieses Wissen unmittelbar praxisrelevant anzuwenden.

Gerade **jenseits der etablierten Märkte**, für die es bereits proprietäre Lösungen für die Entwurfsautomatisierung gibt, haben quelloffene Werkzeuge das Potenzial, die **akademische Forschung zu unterstützen** und zu **Ausgründungen** aus der universitären Forschung beizutragen. Forschende können die Software an ihre spezifischen Bedürfnisse anpassen, neue Methoden entwickeln und Erkenntnisse direkt mit der wissenschaftlichen Gemeinschaft – ohne lizenzrechtliche Einschränkungen – teilen.

Für **Start-ups** senken Open-Source-Werkzeuge die Einstiegshürden, da keine hohen Lizenzkosten im Zuge der Kommerzialisierung anfallen und Innovationen möglicherweise schneller zur Marktreife gebracht werden können.

### Chipdesign an Hochschulen: Das Projekt PROGENITOR



Abbildung 8: Rendering des Open-Source-Chips der Hochschule RheinMain (Quelle: Daniel Schultz, Hochschule RheinMain; [https://github.com/aesc-silicon/i2c-gpio-expander/blob/main/images/chip\\_logic\\_closer.png](https://github.com/aesc-silicon/i2c-gpio-expander/blob/main/images/chip_logic_closer.png))

Im Rahmen des Projekts **PROGENITOR** wurde an der **Hochschule RheinMain** ein **SoHo-WLAN-Router** entwickelt. Hard- und Software wurden in einem vollkommen transparenten Prozess entworfen, der ein eigenes Chipdesign mit eigener Firmware umfasste.<sup>67</sup>

Ziel des mit **350.000 Euro vom Hessischen Ministerium des Innern und für Sport** geförderten Projekts war die wissenschaftliche Erforschung und Erprobung von verbesserten und neuartigen Methoden zum Bau von **elektronischen Netzwerkkomponenten für sicherheitskritische Anwendungen** zur Stärkung der digitalen Souveränität.<sup>68</sup>

Die am Projekt beteiligten Personen ziehen rückblickend ein positives Resümee. **Digitale Souveränität** fängt bei der Ausbildung junger Menschen an – durch Projekte wie PROGENITOR wird das Thema sichtbar, und junge Leute können dafür gewonnen werden. Zudem zeigt das Projekt, dass es im Rahmen einer **praxisnahen Ausbildung** möglich ist, einen eigenen kleinen Mikroprozessor zu bauen und zum Tape-out zu bringen.

67 | Vgl. Hochschule RheinMain 2021b.

68 | Vgl. Hochschule RheinMain 2021a.

## Nationale und europäische Förderung des Chipdesignökosystems

Die Bundesregierung hat die wirtschaftliche Relevanz des Chipdesigns und die Bedeutung quelloffener Designwerkzeuge erkannt und die Förderung in diesem Bereich durch die **Designinitiative Mikroelektronik** verstärkt.

Als zentrale nationale Austausch- und Kooperationsplattform für Akteure des Chipdesigns in Deutschland wurde das Netzwerk **Chipdesign Germany** eingerichtet. Neben dem offenen Austausch zwischen allen am Chipdesign beteiligten Akteuren sollen geeignete Kooperationsstrukturen (etwa durch einen Kompetenzatlas) angeboten werden. Darüber hinaus sind Beratungsleistungen für Start-ups und KMU sowie die Entwicklung neuer Geschäftsmodelle geplant.<sup>69</sup>

Chipdesign Germany wird von einem **Partnernetzwerk einschlägiger Institutionen** – darunter die edacentrum GmbH, die Forschungsfabrik Mikroelektronik Deutschland (FMD), die Rheinland-Pfälzische Technische Universität Kaiserslautern-Landau (RPTU) und die Leibniz Universität Hannover (LUH) – getragen. Das Bundesministerium für Bildung und Forschung (BMBF) fördert die Plattform über einen Zeitraum von drei Jahren.

Anfang 2025 startete das **BMBF** zudem im Rahmen der Designinitiative einen ergänzenden **Call für Projekte zur Schließung von Lücken bei Open-Source-Entwurfsinstrumenten**. Gefördert werden sollen unter anderem:

- die **Vervollständigung** und der Ausbau **quelloffener Designwerkzeuge und Entwurfsumgebungen**,
- quelloffene **Datenformate** und Werkzeuge zur Erstellung und Optimierung von **PDKs** und **Bibliotheken**,
- der Bereich **Verifizierung** und **Test** sowie
- begleitende **Aus- und Weiterbildungsprogramme**.

Neben dem nationalen Programm sind auch auf **europäischer Ebene** – als Teil des **Chips Joint Undertaking** – Fördermaßnahmen für ein quelloffenes europäisches Ökosystem zur Entwurfsautomatisierung des Chipdesigns geplant. Basierend auf der Roadmap der FOSSi Foundation werden folgende Förderschwerpunkte benannt:

- **Open Source Analog und Mixed Signal**,
- **Produktivität, Interoperabilität und Verifizierung** sowie
- **System-on-Chip-Innovation** und Open Source **Digital Chip Design**.

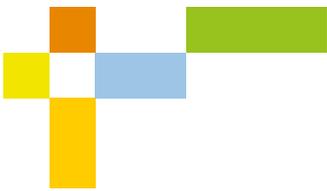
### 3.2.2 Wertschöpfung mit Open Source: Motivation zur Nutzung quelloffener Designinstrumente

Die genannten Vorteile quelloffener Entwurfswerkzeuge im Bereich Bildung und Forschung gelten weitgehend auch für KMU, die einen **kostengünstigen Einstieg in das Chipdesign** anstreben. Für die Mehrheit der befragten Expertinnen und Experten ist der finanzielle Aspekt, der bei proprietärer Software herausfordernd sein kann, jedoch nur ein Faktor unter anderen, von denen die Wahl passender Designinstrumente abhängt.

Obwohl bislang **nur wenige Unternehmen** umfassend quelloffene Designinstrumente einsetzen, wurden in den Hintergrundgesprächen folgende Faktoren genannt, die für die Nutzung quelloffener Entwurfswerkzeuge sprechen:

- **Nutzungs- oder Geheimhaltungsvereinbarungen:** Für die Nutzung proprietärer EDA-Werkzeuge, IP und PDKs ist die Unterzeichnung von Nutzungs- und Geheimhaltungsvereinbarungen (Non-Disclosure-Agreements, NDAs) durch die Kunden üblich. Die Nutzungsbedingungen schränken auch den Aufbau von quelloffenem IP ein, das mit Unterstützung dieser Tools erstellt wurde.
- **Handelsbeschränkungen:** Im Falle von Handelskonflikten setzen sich die von den proprietären EDA-Werkzeugen abhängigen Mikroelektronikunternehmen dem Risiko von Restriktionen und weitreichenden Handelsbeschränkungen aus.
- **Asymmetrische Verhandlungsmacht:** Preise für die Designwerkzeuge werden oft individuell ausgehandelt, wobei große Unternehmen durch ihr Volumen und personelle Ressourcen eine bessere Verhandlungsposition für günstige Konditionen (Rabatte von mehr als 90 Prozent sind nicht unüblich)

69 | Vgl. Chipdesign Germany 2025.



erreichen können als KMU und Start-ups, welche für Einzelplatzlizenzen häufig sechsstelligen Summen pro Jahr bezahlen. Für Start-ups und Ausgründungen bieten EDA-Firmen ihre Werkzeuge meist kostengünstig unter Proof-of-Concept-Lizenzen an. Die vollen Lizenzkosten fallen jedoch rückwirkend mit der wirtschaftlichen Verwertung der entstandenen Chips an und binden das Start-up somit an die jeweilige EDA-Firma. Die dann hohen Kosten erfordern ein Licence Management zur Optimierung der Lizenznutzung.

- **Wettbewerbseinschränkungen:** Die Veröffentlichung von Benchmarks zur Performanz von Entwurfswerkzeugen ist vertraglich untersagt. Dies ist insbesondere deshalb problematisch, weil die zugrunde liegenden Algorithmen proprietärer EDA-Werkzeuge wie auch die Informationen in PDKs nicht offen sichtbar sind. So können mögliche Vorteile bei der Verwendung alternativer Werkzeuge anderer Anbieter für Chipentwickler nicht transparent und messbar nachvollzogen werden – ein Wettbewerb der verschiedenen Anbieter wird durch diese Regelung de facto unterbunden. Ein Vergleich ist nur dann möglich, wenn mehrere Produkte gleichzeitig beschafft und intern verglichen werden. Auch dies ist insbesondere für kleinere Akteure mit begrenzten finanziellen und ökonomischen Ressourcen nur schwer darstellbar.
- **Lock-in-Effekte:** Da die Entwicklung von Chips stark auf eines der verfügbaren Werkzeuge ausgerichtet werden muss, ist ein Wechsel zu einem der Wettbewerber mit erheblichem Aufwand verbunden. Im Fall von Anpassungen der Vertragsbedingungen aufgrund ökonomischer oder geopolitischer Veränderungen sind die Entwicklerinnen und Entwickler daher in einer schlechten Verhandlungsposition und müssen den Änderungen üblicherweise zustimmen.
- **Anpassungsfähigkeit für Nischenlösungen:** Die marktführenden Entwicklungswerkzeuge sind sehr stark auf existierende Technologien der großen Halbleiterunternehmen ausgerichtet. Für kleine Akteure sowie neuartige Ansätze und Designs in alternativen Technologiedomänen sind die gängigen Entwicklungswerkzeuge typischerweise nicht gemacht. Erst wenn eine neue Technologiedomäne einen relevanten Markt darstellt, werden entsprechende Funktionen in den großen Entwicklungswerkzeugen angeboten. Insbesondere Universitäten, die sich der Forschung und Entwicklung von Zukunftstechnologien verschrieben haben, bieten quelloffene Entwicklungswerkzeuge bezüglich ihrer Anpassungsfähigkeit einen Vorteil. Aber auch Start-ups, die jenseits des Mainstreammarkts an noch nicht etablierten Technologien arbeiten, können davon profitieren.

Trotz der genannten Vorzüge quelloffener Designwerkzeuge werden in der Großindustrie ebenso wie in kleinen und mittleren Unternehmen – wenn überhaupt – nur punktuell quelloffene Designinstrumente eingesetzt (siehe Kästen zu DECTRIS und OpenTitan). Dass hauptsächlich auf bewährte Lösungen der marktführenden Unternehmen gesetzt wird, liegt nach Ansicht der befragten Expertinnen und Experten an folgenden Faktoren:

- **Qualität der proprietären Tools:** Kommerzielle EDA-Anbieter investieren kontinuierlich in die Verbesserung ihrer Software und können auf jahrzehntelange Erfahrung bauen. Da ein fehlerhaftes Design aufgrund des komplexen Fertigungsprozesses hohe Kosten bedeutet, schätzen Unternehmen die Bedeutung bewährter, ausgereifter Lösungen mit garantierter Funktionalität und minimalem Risiko.
- **Support und Wartung:** Während proprietäre Anbieter insbesondere für Großkunden umfassenden technischen Support, regelmäßige Updates und Fehlerkorrekturen bieten, hängt die Weiterentwicklung quelloffener Tools aktuell oft von einer Community oder wenigen Entwicklerinnen und Entwicklern ab. Wenn kein Support verfügbar ist, kann dies zu Verzögerungen und Risiken führen.
- **Haftungs- und Compliance-Risiken:** Unternehmen müssen sicherstellen, dass ihre Tools regulatorische und rechtliche Anforderungen erfüllen. Bei quelloffenen Werkzeugen gibt es häufig keine Instanz, die sich um die notwendigen Zertifizierungen kümmert. Zudem ist oft unklar, wer im Falle von Fehlern oder Sicherheitslücken haftet, was in hochregulierten Branchen problematisch sein kann.
- **Etablierte Workflows und Investitionen:** Unternehmen haben oft erhebliche Ressourcen in bestehende Toolchains und interne Prozesse investiert. Ein Wechsel auf Open-Source-Lösungen kann hohe Schulungs- und Migrationskosten verursachen, was Firmen von einem Umstieg abhält, oder ist durch Lock-in-Effekte gar nicht darstellbar. Viele externe Designdienstleister arbeiten mit bestimmten proprietären Tools und Formaten. Für eine nahtlose Integration und einen reibungslosen Datenaustausch orientieren sich Firmen an den gängigen Standards großer EDA-Anbieter.
- **Sicherheitsbedenken:** Unternehmen fürchten, dass der offene Quellcode potenzielle Angriffsflächen für Manipulationen oder IP-Diebstahl bietet. Besonders in sicherheitskritischen Bereichen wie der Automobil- und Luftfahrtindustrie ist der Schutz geistigen Eigentums essenziell. Gleichzeitig wird aus der Open-Source-Community häufig darauf verwiesen, dass ein offener Quellcode eher eine sorgfältige Prüfung ermöglicht und daher dieses Risiko im Vergleich zu geschlossenem Quellcode reduziert ist.

- **Anforderungen der Halbleiterfertiger:** Foundries veröffentlichen PDKs die für kommerzielle EDA-Tools optimiert und qualifiziert sind. Open-Source-Werkzeuge werden nicht direkt von den Foundry-PDKs unterstützt.
- **Risiko niedrigerer Performanz und unbrauchbarer Produkte:** Open-Source-Werkzeuge haben aufgrund viel geringerer Ressourcen nicht die gleiche Optimierungstiefe wie proprietäre Lösungen. Ineffiziente Algorithmen oder fehlende Features können dazu führen, dass Designs nicht die erforderliche Performance erreichen oder gar nicht produktionsfähig sind. Für komplexe Halbleiterbauelemente fallen die Toolkosten proprietärer Lösungen im Verhältnis zu den Produktionskosten/-risiken verhältnismäßig niedrig aus.
- **Günstige Angebote für akademische Einrichtungen:** Über die Plattform EuroPractice wird insbesondere Universitäten ein kostengünstiger Zugang zu sehr leistungsfähigen proprietären Entwicklungswerkzeugen bereitgestellt.

Auch wenn die Mehrzahl der befragten Fachleute diese Punkte nicht als K.-o.-Kriterien betrachtet, machen sie dennoch deutlich, dass aktuelle Schwächen im Rahmen neuer Geschäftsmodelle für quelloffene Designwerkzeuge adressiert und verbessert werden müssen, damit quelloffene Designinstrumente eine breitere industrielle Anwendung finden.

### DECTRIS: Deep-Tech-Mittelstand mit hoher Wertschöpfungstiefe

Das Schweizer Unternehmen DECTRIS ist mit 150 Mitarbeitenden ein etabliertes **Deep-Tech-KMU**, das in einer sehr hohen Wertschöpfungstiefe Röntgen- und Elektronenstrahlendetektoren für den Weltmarkt entwickelt und produziert. Die Produkte des Unternehmens finden Anwendung in Wissenschaft und Industrie, unter anderem in der medizinischen Bildgebung, der Elektronenmikroskopie und der Röntgeninspektion.

In Zusammenarbeit mit Forschungseinrichtungen und Industriepartnern werden alle Kernkomponenten, von den mikroelektronischen Bausteinen bis zur Software, im eigenen Haus entwickelt. Die **eigenen hochspezialisierten ASICs** ermöglichen eine präzise Detektion mit hoher Empfindlichkeit und Dynamik sowie eine rauschfreie Signalverarbeitung.

Ende 2024 berichtete DECTRIS auf einer Entwicklerkonferenz für quelloffene Entwurfswerkzeuge über das erfolgreiche Tape-out eines **110-nm-Mixed-Signal-Chips** mit 10-Gigabit-Transceivern. Im **Entwicklungsprozess wurden erfolgreich Open-Source-EDA-Tools** wie etwa Yosys eingesetzt.

### Projekt OpenTitan: Offene Hardwareentwicklung und Nutzung quelloffener Designinstrumente

**OpenTitan<sup>70</sup>** ist ein **kollaboratives Open-Hardware-Entwicklungsprojekt** für eine vertrauenswürdige und quelloffene Hardware-Root-of-Trust(-RoT)-Plattform. Unterstützt wird das Projekt von Organisationen wie Google, lowRISC, ETH Zürich, Nuvoton Technology und Western Digital, die gemeinsam eine Alternative zu proprietären Sicherheitschips entwickeln.

Ein **Hardware-Root-of-Trust (RoT)** ist eine **speziell gesicherte Hardwarekomponente**, die als vertrauenswürdige Basis für sicherheitskritische Funktionen in einem System dient. Sie stellt sicher, dass grundlegende Sicherheitsmechanismen wie Authentifizierung, Verschlüsselung und Integritätsprüfungen zuverlässig ausgeführt werden.

Für die beteiligten Unternehmen stellt die Zusammenarbeit im Rahmen von OpenTitan kein Problem dar, da das gemeinsam entwickelte Produkt **nicht wettbewerbsdifferenzierend** ist. Die Hardware-Root-of-Trust kann in Rechenzentren, IoT-Geräten, Mobilgeräten und kritischen Infrastrukturen implementiert werden. Ziel ist es, Angriffe auf die jeweiligen Systeme durch eine Vertrauensketten (Chain of Trust) abzuwehren.

Der Entwicklungsprozess von OpenTitan basiert auf Erfahrungen aus dem Softwarebereich und überträgt bewährte **Open-Source-Prinzipien** auf die **Chipentwicklung**. Gehostet wird das Projekt von der britischen Firma lowRISC, die auch eine zentrale Rolle in der Koordination und Weiterentwicklung spielt. OpenTitan zeigt, inwieweit sich Open-Source-Ansätze schon heute für die Entwicklung industrietauglicher Chips nutzen lassen.



Da OpenTitan nach Möglichkeit auf quelloffene Designinstrumente setzt, wird gleichzeitig deren industrielle Reife geprüft, und die Herausforderungen einer **hybriden Toolchain aus Open-Source- und proprietären Werkzeugen** werden sichtbar gemacht:

- **Yosys** wird zur Erzeugung von **Netlists** verwendet, allerdings vor allem für Sicherheitsverifikationen. Für das kommerzielle Backend ist Yosys jedoch nicht optimal geeignet. Yosys kann als Brücke zwischen innovativen akademischen Tools und klassischen EDA-Werkzeugen betrachtet werden.
- Im Bereich der **Physical Security** greift das Projekt auf wissenschaftliche Erkenntnisse zurück und setzt Open-Source-Tools gezielt zur Verifikation einzelner Blöcke auf RTL-Ebene ein. Verilator wird für die Simulation genutzt, ist jedoch nicht für die vollständige Designverifikation geeignet, da bestimmte Modelle nicht abgebildet werden können.
- OpenTitan benötigt zwingend analoge Komponenten, was die Implementierung weiter erschwert, da auf **proprietäre Lösungen** zurückgegriffen werden muss. Dies stellt ein Hindernis dar, da die Toolergebnisse dann nur **eingeschränkt offengelegt und verbreitet** werden dürfen.

Die Erfahrungen aus OpenTitan zeigen, dass die vorhandenen Verifikationstools im **digitalen Bereich** vom Übergang Frontend zum Backend noch nicht ausreichend ausgereift sind, während im **analogen Bereich** essenzielle Werkzeuge gänzlich fehlen.

### 3.2.3 Wertschöpfung durch Open Source: Kommerzialisierung quelloffener Designinstrumente

Neben Unternehmen, die im Rahmen ihrer Geschäftsmodelle quelloffene Lösungen nutzen, gibt es auch solche, deren **Kerngeschäft** der Betrieb quelloffener Plattformen ist oder die Serviceleistungen im Zusammenhang mit quelloffenen Systemen anbieten.

Im **Software Engineering** haben sich quelloffene Systeme im professionellen Bereich etabliert. Zu Beginn waren viele

Unternehmen skeptisch gegenüber der kollaborativen quelloffenen Softwareentwicklung. Einige betrachteten diesen Ansatz als „Krebs“ für intellektuelles Eigentum.<sup>71</sup> Erst als sich kommerzielle Geschäftsmodelle am Markt behaupteten, verbesserte sich das Image dieses Ansatzes.

Im Zusammenhang mit quelloffenen Systemen kommt es häufig zu **Missverständnissen**, denn Nicht-Profis verwenden den Begriff „quelloffen“ oftmals synonym mit dem Begriff „unkommerziell“. Erfolgreiche quelloffene Produkte können, wie etwa das Betriebssystem Android, aber sehr wohl kommerzielle Produkte sein.

Das passende **Antonym zu „quelloffen“ lautet „proprietär“:**

- **Quelloffen (Open Source):** Quelloffene Produkte ermöglichen den Zugriff auf den Quellcode oder die Entwurfspläne einer Software oder Hardware. Nutzende können – unter der Einhaltung einer Open-Source-Lizenz – den Code einsehen, modifizieren und weiterverbreiten.<sup>72</sup>
- **Proprietär:** Proprietäre Software oder Hardware wird unter einer Lizenz bereitgestellt, die den Zugriff auf den Quellcode oder die zugrunde liegenden Pläne und Entwürfe einschränkt. Änderungen oder Weiterverbreitung sind ohne die Zustimmung des Rechteinhabers untersagt.<sup>73</sup>

Wie in Abbildung 9 dargestellt, existiert neben der **Achse „quelloffen“ und „proprietär“**, welche die Lizenzart und den Zugang zum Quellcode beschreibt, noch eine **zweite Achse** mit den Polen **„gewinnorientiert“** einerseits und **„non-profit“** andererseits. Einzelne Geschäftsmodelle des Open-Source-Ökosystems sind häufig multidimensional, da die mit ihnen verbundenen Produkte häufig in unterschiedlichen Bereichen zu verorten sind.

Entlang der Achsen sind **unterschiedliche Ausprägungen möglich**. Quelloffene Lösungen können sowohl kommerziell gewinnorientiert als auch gemeinnützig und nicht gewinnorientiert sein. Gleiches gilt für proprietäre Lösungen, die dem kommerziellen Gewinnstreben, aber auch dem Ziel der Gemeinnützigkeit dienen können.

Ob Produkte und Dienstleistungen kostenfrei angeboten werden, hängt nicht zwangsläufig vom Geschäftszweck ab. Auch **gemeinnützige Organisationen** können eine **Nutzungsgebühr** verlangen, um ihre Selbstkosten zu decken.

71 | Vgl. Greene 2001.

72 | Vgl. open source initiative 2024.

73 | Vgl. Stallman 2024.

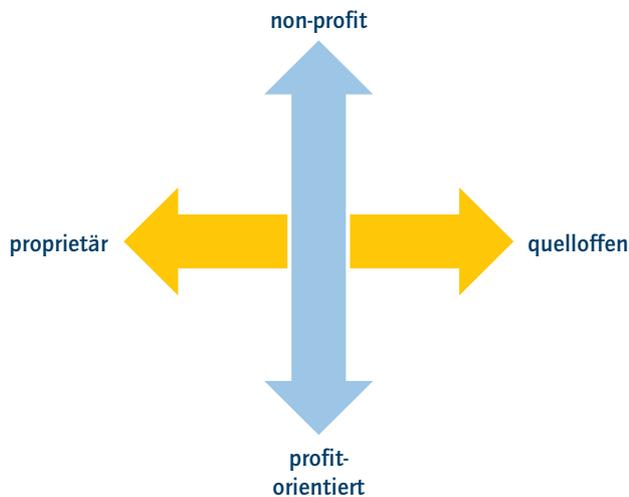


Abbildung 9: Lizenz- (gelb) und Geschäftsmodell (blau) sollten voneinander entkoppelt betrachtet werden (Quelle: eigene Darstellung).

Umgekehrt gibt es auch kommerzielle proprietäre Angebote, die – zumindest eingeschränkt – kostenfrei sind. Ähnlich wie Open-Source-Produkte bieten diese **Freemium-Lösungen** häufig eine kostenlose Basisversion an, um dadurch die Zahl der Nutzenden zu erhöhen und diese für kostenpflichtige Zusätze als zahlende Kundschaft zu gewinnen.

Geschäftsmodelle für quelloffene Hardware können von den Erfahrungen aus dem Softwaresektor profitieren und sind weitgehend übertragbar. Dies gilt insbesondere für **quelloffene Entwurfswerkzeuge** für das Chipdesign und IP-Bibliotheken, denn genau wie klassische Software handelt es sich hierbei um **immaterielle Güter**.

Im Unterschied zu klassischer Software besteht bei der Software für Entwurfsautomatisierung jedoch eine direkte Verbindung zur Sphäre der Materialien und der Produktion. Nur wenn es entlang der Wertschöpfungskette **Schnittstellen** zwischen den Entwicklern von Designwerkzeugen und den Chipfabriken (Fabs) gibt, können Entwurfswerkzeuge für das Chipdesign produktiv eingesetzt werden. Das bedeutet, dass die Entwickler von quelloffenen Werkzeugen genau wie die Entwickler von proprietären Lösungen in das **Halbleiterökosystem** eingebunden sein müssen, um marktfähige Produkte entwickeln zu können.

Sofern die Entwicklergemeinschaft von Entwurfswerkzeugen einen ausreichenden Zugang zur Expertise aus den nachgelagerten Prozessschritten hat, spricht zumindest in der Theorie nichts gegen die **Übertragbarkeit von Geschäftsmodellen** aus der Open-Source-Software-Szene.

Für **Geschäftsmodelle mit softwarebasierten Entwurfswerkzeugen** ist die Ausgestaltung von Open-Source-**Lizenzbedingungen** von großer Bedeutung, denn diese legen fest, wie Designwerkzeuge genutzt, modifiziert und weitergegeben werden dürfen.

Ganz grob kann zwischen **permissiven Open-Source-Lizenzen** und **Copyleft-Lizenzen** unterschieden werden:

- **Permissive Open-Source-Lizenzen** erlauben die uneingeschränkte Nutzung, Modifikation und Weitergabe der Software sowohl in offenen als auch in proprietären Projekten. Sie lassen den Entwicklerinnen und Entwicklern die Wahl, ihre Anpassungen entweder als Open Source zu veröffentlichen oder in proprietäre Software zu überführen, da sie keine Copyleft-Bedingungen enthalten.
- **Copyleft-Lizenzen** verlangen, im Gegensatz zu permissiven Lizenzen, dass modifizierte und erweiterte Versionen der Software ebenfalls frei verfügbar gemacht werden.

Zwar sind Open-Source-Lizenzen meistens nicht mit Nutzungsgebühren verbunden, dennoch sind die mit der Lizenz einhergehenden **rechtlichen Verpflichtungen zu prüfen und zu beachten**. Um Geschäftsmodelle basierend auf Open-Source-Werkzeugen zu fördern, sollten Start-ups bei rechtlichen Fragestellungen Unterstützung erfahren. Nach Aussage der befragten Expertinnen und Experten ist zu klären, wie Lizenzen erworben werden können, was deren Nutzung impliziert und insbesondere was beim Zusammenspiel unterschiedlicher Lizenzen zu beachten ist.

In der Literatur wird zwischen sieben **Archetypen an Geschäftsmodellen** für Open-Source-Software differenziert. Diese unterscheiden sich vor allem in Bezug auf ihre **Finanzierung**, ihre **Lizenzbedingungen** und die jeweiligen **Interaktionen mit der Community**.<sup>74</sup>

Einige dieser Geschäftsmodelle sind bereits Teil des quelloffenen EDA-Ökosystems, andere wären hingegen denkbar. **Tabelle 3** zeigt eine Auswahl an **möglichen Open-Source-Geschäftsmodellen**.



Geschäftsmodell	Beschreibung
Traditionelles Open-Source-Projekt	Kostenfreie Veröffentlichung eines einzelnen Projekts über externe Plattformen wie GitHub oder SourceForge.
Open-Source-Plattform	Bereitstellung einer Open-Source-Plattform, um Nutzende anzuziehen und Netzwerkeffekte zu fördern.
Funding-based Plattform	Nichtkommerzielle Open-Source-Projekte, die auf freiwilliger Arbeit und Finanzierung basieren.
Infrastruktur-Geschäftsmodell	Kommerzielle Firmen, die Infrastrukturen gegen Gebühr bereitstellen. Softwareangebot ist quelloffen verfügbar.
Open Innovation	Unternehmen, die eine Vielzahl von Produkten/Dienstleistungen anbieten und sich auf die Förderung von Open Innovation konzentrieren.
Open-Core-Plattform	Wesentliche Funktionen sind Open Source, zusätzliche proprietäre Features müssen erworben werden.
Proprietary-like	Proprietärähnliche Plattform- und Infrastrukturanbieter mit wenigen Open-Source-Angeboten.

Tabelle 3: Klassifizierung und Kurzbeschreibung verschiedener Open-Source-Geschäftsmodelle (Quelle: eigene Darstellung)

Viele der Geschäftsmodelle im Open-Source-Bereich sind **keine reinen Open-Source-Geschäftsmodelle**, da der Umsatz in der

Regel durch exklusive proprietäre Zusatzangebote generiert wird. Das bedeutet, dass bestehende proprietäre Firmen mit ihren Lösungen innerhalb eines quelloffenen Designökosystems durchaus einen Platz haben könnten. Ein Open-Source-Ökosystem bildet somit immer ein Spektrum an unterschiedlichen Geschäftsmodellen ab. Zur Illustration werden im Folgenden zwei unterschiedliche Geschäftsmodelle erläutert:

Ein **spendenbasiertes (funding-based) Geschäftsmodell** ist in der Regel kostenfrei und wird durch freiwillige Spenden und Mitarbeit getragen. In einigen Fällen werden durch Mitgliedschaften und Werbung weitere Einnahmen generiert. Die Produktentwicklung der nichtkommerziellen Angebote lebt von der Mitarbeit einer breiten Community. Auch externe Entwicklerinnen und Entwickler werden in den Entscheidungsfindungen berücksichtigt. Mit Copyleft- und Permissive-Lizenzen sind die Vertragsbedingungen offen gestaltet und so angelegt, dass eine langfristige Maintenance gewährleistet ist.

Demgegenüber sind **Open-Core-Plattformen** deutlich kommerzieller aufgestellt, was sich auch in den Lizenzbedingungen und der Zusammenarbeit mit der Community niederschlägt. Wesentliche Funktionen sind Open Source, doch zusätzliche proprietäre Features müssen von den Anwendern erworben werden. Die Lizenzen sind dual gestaltet und bestehen aus quelloffenen und proprietären Bausteinen. Für einige der proprietären Features existieren **Freemium-Modelle**, die eine zeitlich unbefristete Basisnutzung erlauben. Die Zusammenarbeit mit der Community ist begrenzt, da diese für den Prozess der Wertschöpfung nicht wesentlich ist. Dennoch bestehen multiple Kanäle, um externen Entwicklerinnen und Entwicklern die Nutzung zu erleichtern.

### Steckbrief I: OpenROAD als Beispiel für ein Funding-basiertes Geschäftsmodell

OpenROAD<sup>75</sup> ist ein akademisch-industrielles Non-Profit-Projekt, das sich zum Ziel gesetzt hat, einen **vollständig offenen und autonomen Chip-Design-Flow** zu entwickeln. Es ermöglicht die Umsetzung eines digitalen Schaltungsentwurfs von der Spezifikation bis zum fertigen Layout, ohne dass kommerzielle Werkzeuge erforderlich sind.

Das Projekt wird von der **University of California San Diego**, geleitet und erhält Unterstützung durch Unternehmen sowie öffentliche Fördermittel. OpenROAD integriert verschiedene quelloffene Tools und Algorithmen für Synthese, Platzierung, Routing, Timing-Analyse und Verifikation.

Die Plattform trägt zur Stärkung des Open-Source-Ökosystems im Halbleiterbereich bei, indem sie insbesondere akademische und kleine industrielle Designteams, die an innovativen Chipdesigns arbeiten, unterstützt. Durch die **Integration von anderen Projekten** wie Surelog, Yosys und KLayout wird der Zugang zu Designwerkzeugen erleichtert.<sup>76</sup>

- **Finanzierung:** Kombination aus staatlichen Fördermitteln (unter anderem von der DARPA), Industriepartnerschaften und Mitgliedsbeiträgen
- **Lizenzen:** OpenROAD-Software wird unter der BSD-3-Klausel-Lizenz veröffentlicht, einer permissiven, schwachen Copyleft-Lizenz
- **Interaktion mit der Community:** Als gemeinnützige Organisation arbeitet OpenROAD eng mit Partnern aus der Halbleiterindustrie und dem akademischen Bereich zusammen. Der Austausch findet über Mailing-Listen und Foren sowie über Workshops, Konferenzen und Webinare statt. OpenROAD folgt einer klaren Führungsstruktur, strategische Entscheidungen werden durch ein Steering Committee getroffen.

### Steckbrief II: YosysHQ als Beispiel für ein Open-Innovation-Geschäftsmodell

YosysHQ ist ein privatwirtschaftliches Unternehmen aus Wien, welches das **Open-Source-Synthese-Tool** Yosys als Maintainer betreut. Yosys umfasst eine Sammlung von Synthesealgorithmen für verschiedene Anwendungsbereiche und ist die Grundlage für weitere Projekte wie Nextpnr, Project IceStorm und Project Trellis.

Neben Open-Source-Lösungen bietet das Unternehmen auch **exklusive Services und Produkte** an, die etwa im Rahmen der Tabby CAD Suite als ein kommerzielles Softwarepaket vertrieben werden. Zu den Services zählen kundenspezifische Entwicklungen und Trainings.

- **Finanzierung:** Zuwendungen durch (amerikanische) Behörden, Verkauf von Produkten und Services
- **Lizenzen:** Dual-licensing Model aus Open Source und proprietären Angeboten. Durch den kommerziellen Teil wird die Toolentwicklung teilweise querfinanziert.
- **Interaktion mit der Community:** Enge Zusammenarbeit mit akademischen und industriellen Partnern sowie der Open-Source-Community in Forschungs- und Entwicklungsprojekten

75 | Vgl. OpenROAD 2025.

76 | Vgl. OpenROAD Initiative 2025.



### Steckbrief III: ChipFlow als Beispiel für ein Open-Core- und Infrastruktur-Geschäftsmodell

ChipFlow<sup>77</sup> wurde 2021 mit dem Ziel gegründet, die kosteneffiziente Chipentwicklung und -fertigung zugänglicher und flexibler zu gestalten – ohne auf proprietäre EDA-Angebote zurückzugreifen. Das britische Start-up bietet eine **End-to-End-Plattform für das Chipdesign**, die auf Open-Source-Software setzt und sich durch ein breites Angebot an **kommerziellen Dienstleistungen** finanziert.

- **Finanzierung:** Gebühren für die Plattformnutzung, Lizenzgebühren für IP-Blöcke und Technologien sowie für die Produktion von Chips, deren Technologie auf ChipFlow basiert. Abonnementkosten bei Nutzung zusätzlicher Features und Servicekosten bei Inanspruchnahme von Beratungsdienstleistungen sowie individuellen Optimierungs- und Anpassungswünschen
- **Lizenzen:** Open-Source-Lizenzmodell für Designwerkzeuge, kombiniert mit kommerziellen Lizenzen für einzelne IP-Blöcke und Technologien sowie für die Nutzung der ChipFlow-Technologie in der Massenproduktion
- **Interaktion mit der Community:** Aktive Zusammenarbeit mit Open-Source-Projekten und Fachleuten. Integration von Open-Source-EDA-Tools – wie Yosys und OpenROAD – sowie Weitergabe eigener Open-Source-Komponenten. Förderung von Bildungsprogrammen und enge Verbindung zu Universitäten und Forschungseinrichtungen

### Steckbrief IV: Tiny Tapeout als niedrigschwelliger Zugang zur Chipfertigung

Tiny Tapeout ist eine Open-Source-Plattform, die eine kostengünstige und leicht zugängliche Herstellung mikroelektronischer Schaltungen ermöglicht. Die Online-Infrastruktur des Projekts erlaubt es, einen Multi-Projekt-Chip mithilfe quelloffener Werkzeuge zu entwerfen und zu verifizieren. Jeder Chip enthält Hunderte von Designs, die nacheinander aktiviert und getestet werden können.

Tiny Tapeout richtet sich in erster Linie an Studierende, Hobbyentwicklerinnen und -entwickler sowie Lehrkräfte, die praktische Erfahrungen im Entwurf und in der Fertigung mikroelektronischer Schaltungen sammeln möchten.

- **Finanzierung:** Das Projekt wurde teilweise von Efabless finanziert, einem Unternehmen, das bis vor Kurzem einen Open-Source-Service für Multi-Projekt-Wafer anbot. Dank dieser Förderung konnten Tapeouts bereits ab 150 Euro angeboten werden.
- **Lizenzen:** Tiny Tapeout setzt auf offene Lizenzen, um den freien Zugang zu Designwerkzeugen und Schaltkreisentwürfen zu gewährleisten. Dadurch können alle Teilnehmenden die eingereichten Designs einsehen und daraus lernen.
- **Interaktion mit der Community:** Das Projekt verfolgt das Ziel, Hürden im Chipdesign zu senken. Um Inklusivität zu fördern, engagiert sich Tiny Tapeout aktiv sowohl beim Neueinstieg als auch für erfahrene Chipdesignerinnen und -designer. Es beteiligt sich an Online-Foren, stellt Bildungsressourcen bereit und bietet Workshops an, in denen Entwicklerinnen und Entwickler Ideen austauschen und Unterstützung erhalten können.

Die unerwartete Schließung von Efabless stellt eine große Herausforderung für Tiny Tapeout und die Open-Source-Community dar. Zukünftige Shuttle-Programme mit dem SkyWater-PDK sind derzeit ausgesetzt. Als Alternative gewinnt eine Zusammenarbeit mit dem deutschen IHP an Bedeutung, das einen vergleichbaren 130-nm-Prozess anbietet.

### 3.3 Open-Source-Ökosysteme – Governance, Recht und Standardisierung

Die Open-Source-Bewegung nahm in den 1980er Jahren mit einer kleinen Gemeinschaft engagierter Entwicklerinnen und Entwickler ihren Anfang. Mittlerweile ist Open Source zu einem zentralen Bestandteil der technologischen Infrastruktur der digitalisierten Welt geworden. Getragen von **neuen Formen der kollaborativen Zusammenarbeit**, in denen sich die klassischen Grenzen zwischen Kooperation und Wettbewerb zunehmend auflösten, veränderte das Prinzip grundlegend die Art und Weise, wie Softwaretechnologien entwickelt, verbreitet und genutzt werden.

Dabei zeigt sich, dass technische Innovationen einen Einfluss auf das gesellschaftliche Zusammenleben haben, aber auch umgekehrt **soziale Innovationen Treiber für technische Entwicklungen** sein können. Mit Blick auf die Entwicklung der generativen Künstlichen Intelligenz erklärt David Donoho die rasanten Fortschritte mit der reibungslosen Reproduzierbarkeit (Frictionless Reproducibility).

Die Kombination aus frei **zugänglichen Daten, einfach ausführbaren Codes** zur Datenverarbeitung und **Wettbewerb** sind für Donoho Voraussetzungen, damit eine Vielzahl paralleler Experimente, Entwicklungen und Optimierungen stattfinden können, durch die sich die Eintrittswahrscheinlichkeiten technologischer Durchbrüche erhöhen.

Die genannten Voraussetzungen sind jedoch ihrerseits an soziokulturelle Bedingungen geknüpft:

- Die Verfügbarmachung von **Daten kann regulatorischen und lizenzrechtlichen Vorgaben unterliegen**, die ihren Einsatz und ihre Verbreitung bestimmen – beispielsweise, wenn die Daten und daraus entstehende Produkte in einen Dual-Use-Kontext fallen.
- Die einfache Ausführbarkeit von **Code** zur Datenverarbeitung erfordert umfassende Dokumentation, abgestimmte **Standardisierungen** und **funktionierende Kooperationsstrukturen**.
- Auch der Wettbewerb innerhalb quelloffener Ökosysteme muss durch Geschäftsmodelle gestützt werden, die ihre **Governance** an diese Rahmenbedingungen anpassen. Sie müssen eine Balance finden zwischen wirtschaftlicher Tragfähigkeit und Gemeinwohl, zwischen geschützten Alleinstellungsmerkmalen und gemeinsam genutztem geistigem Eigentum.

Damit **selbsttragende Ökosysteme** entstehen, reicht es nicht aus, quelloffene Lösungen lediglich als Alternative zu proprietären Lösungen zu bewerben. Vielmehr gilt es, organisatorische, rechtliche und finanzielle Rahmenbedingungen so zu verbessern, dass quelloffene Entwurfswerkzeuge als strategischer Vorteil genutzt werden können und so Anwendung finden.

Im Mittelpunkt steht dabei die **Governance für gemeinschaftlich entwickelte Technologien**, um etwa im Rahmen von Lizenz- und Compliance-Initiativen für Rechtssicherheit und Kompatibilität in kommerziellen Anwendungen zu sorgen.

Im Folgenden wird der Begriff der **Governance** – also die **Steuerung und Organisation von Open-Source-Projekten** – im Zusammenhang mit der Entwicklung quelloffener Ökosysteme genauer erläutert. Den analytischen Hintergrund bilden die Open-Source-Softwareentwicklung und deren Weg aus der Nische zu einem globalen dezentralen soziotechnischen Ökosystem. Governance wird dabei aus drei unterschiedlichen Perspektiven analysiert:

- **Mikroebene: Individuelle Akteure.** Soziale Dynamiken, Rechte und Aufgaben des beziehungsweise der Einzelnen innerhalb eines Projekts
- **Mesoebene: Projekte und Communities.** Organisation, Strukturen und Entscheidungsprozesse innerhalb eines Projekts oder einer Community
- **Makroebene: Übergeordnete Strukturen und Ökosysteme.** Rechtliche Rahmenbedingungen sowie die Rolle von Standards und Normen

#### 3.3.1 Governance auf Mikroebene: Individuelle Akteure in Open-Source-Projekten

**Governance auf der Mikroebene** bezieht sich auf die einzelnen Akteure sowie deren individuelle Rolle innerhalb eines Projekts. Auf der Mikroebene werden Aufgaben und Beiträge der Mitwirkenden definiert und deren Zusammenarbeit koordiniert. Meist wird die Entwicklung eines Open-Source-Tools von einer Person oder Organisation initiiert, welche Bedarf an diesem Tool hat und es eigenständig entwickelt. Sobald das Tool veröffentlicht wird und auf Resonanz stößt, bildet sich eine Community – **Nutzerinnen und Nutzer, die das Tool einsetzen, Probleme melden und Feedback geben**, sowie **Contributors**, die dank des quelloffenen Programmcodes auch selbst **Lösungen oder Erweiterungen einbringen**. Letztere tragen durch ihr Mitwirken zur Verbesserung der Programme bei, haben jedoch keinen Einfluss auf die Projektentscheidungen. Bevor ein Beitrag angenommen wird, findet ein Review statt.

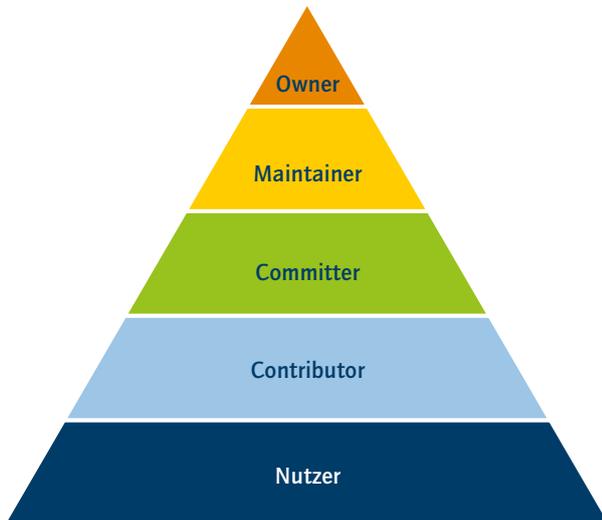


Abbildung 10: Kontributionspyramide eines Open-Source-Projekts (Quelle: eigene Darstellung)

Ab einer gewissen Projektgröße ist es für die **Owner** nicht mehr möglich, diese Beiträge (meist wird das englische Wort „Contributions“ in diesem Kontext genutzt) zu überblicken und selbst einzupflegen – hierfür bedarf es der Ebene der **Maintainer**, welche die **Community moderieren, Contributions einpflegen** und in Abstimmung mit den Ownern die **strategische Ausrichtung des Projekts bestimmen**.

Wie in der Kontributionspyramide (siehe Abbildung 10) dargestellt, wird zwischen der Ebene der Contributor und Maintainer in vielen Open-Source-Projekten die Rolle der Committer ergänzt. **Committer** haben in der Regel **keinen Einfluss auf die strategische Ausrichtung, besitzen jedoch Schreibrechte und können Änderungen am Programmcode vornehmen**.<sup>78</sup>

Die Governance auf Mikroebene legt somit fest, wie Entscheidungen getroffen werden, wer zu den Inhalten eines Projekts in Form von Contributions beitragen kann und wie diese verwaltet werden. Hier kann zwischen dem sogenannten **Bazaar-Style** (wie bei den Beispielen OpenTitan oder RISC-V), der Contributions aus einer breiten Masse an Mitwirkenden fördert, und dem sogenannten **Cathedral Style** (wie im Beispiel der PULP Plattform<sup>79</sup>)

mit einem kleinen Nukleus engagierter Contributors differenziert werden.<sup>80</sup> Einige Projekte verlangen von den Mitwirkenden die Unterzeichnung eines Contributor License Agreement (CLA), um die Verwendung der Contributions unter den jeweiligen Open-Source-Lizenzbedingungen sicherzustellen. Qualität und Sicherheit der Contributions werden durch einen meist strengen Review-Prozess gewährleistet.

### 3.3.2 Governance auf Mesoebene: Organisation und Entscheidungen in Open-Source-Projekten

Auf der **Mesoebene der Governance** werden **Organisations- und Entscheidungsstrukturen innerhalb eines Projekts oder einer Community** adressiert. Die konkrete Ausgestaltung beeinflusst maßgeblich, wie ein Projekt langfristig wirtschaftlich betrieben werden kann und welche Geschäftsmodelle umsetzbar sind.

Meist kommen Open-Source-Projekte über lange Zeit ohne formelle Governance auf Mesoebene aus. Aus unternehmerischer Sicht birgt diese informelle Struktur jedoch Unwägbarkeiten: Neben der Abhängigkeit von der Entscheidungsgewalt Einzelner stellt insbesondere die unsichere rechtliche Bewertung von Open-Source-Projekten ein signifikantes Risiko für Unternehmen dar. So kann die Kollaboration mit anderen Marktteilnehmern potenziell **kartellrechtliche Fragen** aufwerfen.

Auch mit der Entscheidung, ein eigenes Projekt unter Open-Source-Lizenz zu stellen, gehen aus Unternehmensperspektive Risiken einher. Dem kann durch die Festlegung einer **formalen Governance-Struktur** entgegengewirkt werden. Eine formale Governance reduziert zudem die Gefahr, dass ein Projekt aufgegeben oder nicht gepflegt wird. Während Open-Source-Lizenzen der Open-Source-Definition folgen, sind für Governance-Modelle keine festen Regeln definiert. In der Praxis haben sich jedoch einige – durchaus unterschiedliche – Governance-Strukturen durchgesetzt:

**Benevolent Dictatorship:** Kontrolle durch ein zentrales Organ – eine einzelne Person oder Organisation – als Owner. Oftmals kommt diese Rolle der Gründerin beziehungsweise dem Gründer des Projekts zu und begleitet ihn lebenslang, weshalb dieser auch als „Benevolent Dictator for Life“ (BDFL) bezeichnet wird.

- **Meritocracy:** In meritokratischen Modellen ist die Kontrolle verteilt und wird in Anerkennung von Contributions

78 | Vgl. Bitkom e.V. 2024.

79 | Vgl. ETH Zürich 2024.

80 | Vgl. Raymond 2001.

vergeben.<sup>81,82</sup> Die Gewichtung der Contributions erfolgt basierend auf Leistung und Erfahrung der mitwirkenden Entwicklerinnen und Entwickler.

- **Demokratische Modelle:** Die Community trifft Entschlüsse durch Abstimmungen oder Konsensfindung. Demokratische Governance-Modelle basieren auf gemeinschaftlicher Entscheidungsfindung, kollektiver Verantwortung und transparenten Prozessen.
- **Unternehmensgesteuerte Strukturen:** Die Steuerung des Projekts erfolgt durch ein Unternehmen oder eine Stiftung – diese tritt dann als **Owner** auf.

Aus der Governance-Struktur auf Mesoebene leitet sich ab, welche **Geschäftsmodelle umsetzbar** sind und nachhaltig betrieben werden können. Unternehmensgesteuerte Projekte bieten unmittelbares Monetarisierungspotenzial, während Community-gesteuerte Projekte – basierend auf demokratischen oder meritokratischen Strukturen – meist auf finanzielle Förderungen, Spenden und Gelder gemeinnütziger Stiftungen angewiesen sind.

### 3.3.3 Makroebene der Governance: Rechtliche Rahmenbedingungen und Rolle der Standardisierung für Open-Source-Projekte

Die **Makroebene** der Open-Source-Governance umfasst übergeordnete **Strukturen und Ökosysteme**. Der Einfluss von größeren Netzwerken aus Wirtschaft und Politik sowie die Bedeutung von Standards werden hierbei betrachtet. Während die Anfänge von Open Source durch kollaborative Zusammenarbeit geprägt waren, gewinnt heute die Rolle von Unternehmen, Stiftungen und Regierungen oder politischen Entscheidungsverantwortlichen zunehmend an Relevanz.

- **Förderung von Open-Source-Projekten durch Regierungen:** Sowohl auf nationaler Ebene – durch Initiativen des BMBF – als auch im Rahmen europäischer Programme erfahren Open-Source-Projekte finanzielle Unterstützung. Auch Staaten wie die USA (siehe Kasten zu OpenROAD) und insbesondere China fördern die Weiterentwicklung von Open-Source-Initiativen – oftmals verbunden mit dem Ziel, technologische Souveränität zu erlangen.
- **Unterstützung von Open-Source-Projekten durch Stiftungen und Organisationen:** In vielen Fällen unterstützen Stiftungen und Organisationen Open-Source-Initiativen, indem sie nicht nur Finanzmittel zur Verfügung stellen, sondern auch bei rechtlichen Fragen und strukturellen Belangen zur Seite stehen.

- **Steuerung und Finanzierung von Open-Source-Projekten durch Unternehmen:** Vor allem große Unternehmen wie Google oder Microsoft nutzen Open Source aus strategischen Gründen, um Innovationen zu beschleunigen oder Standards zu setzen.

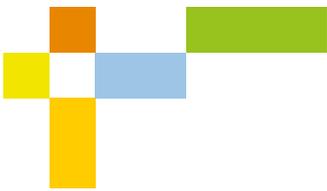
Essenzielle Mechanismen der Makroebene der Open-Source-Governance sind **rechtliche Rahmenbedingungen und Lizenzmodelle**. Bei der Verwendung von Designwerkzeugen ist die Erfüllung der Lizenzbedingungen zu berücksichtigen. Diese legen neben den Nutzungsbedingungen (dazu zählt unter anderem die Nutzerzahl) fest, ob die Designs – beispielsweise die Schaltpläne und Layouts – urheberrechtlich geschützt bleiben.

Auch im Kontext von **PDKs** spielt der **Schutz des geistigen Eigentums** eine zentrale Rolle. Durch **Vertraulichkeitsabkommen**, sogenannte **NDA**s, werden die in PDKs enthaltenen Informationen der proprietären Fertigungsprozesse einer Foundry geschützt. Die NDAs beinhalten Klauseln zum Schutz des Intellectual Property (IP) sowie Spezifikationen zu Design und Technologie. Bevor Designhäuser Zugriff auf die streng vertraulichen Informationen der PDKs erhalten, müssen sie ein NDA unterzeichnen. Meist werden im Rahmen der PDK-NDAs ein Verbot der Informationsweitergabe an Dritte, die eingeschränkte Nutzung des PDKs für bestimmte Produkte und Mitarbeitende sowie der Umgang mit den Informationen nach Beendigung eines Projekts geregelt. Des Weiteren werden Strafen bei Verstoß gegen das Abkommen definiert.

In der Praxis bergen **NDAs** erhebliche **Herausforderungen für Start-ups und KMU**, aber auch für **Universitäten und Forschungseinrichtungen**. So sind die PDKs großer Foundries oftmals den etablierten Unternehmen vorbehalten. Letztere geben hohe Stückzahlen in Auftrag, weshalb aus Sicht der Foundries eine Zusammenarbeit mit diesen finanziell lukrativ ist. **Universitäten** erhalten meist besondere **NDAs**, die eine **kommerzielle Nutzung ausschließen**. Zudem wird von Fachleuten kritisiert, dass die Prozesse bis zum Abschluss eines PDK-NDAs mit erheblichem Ressourcenaufwand einhergehen. Vor allem für kleinere Unternehmen und Start-ups bedeutet die **juristische Prüfung** eines NDAs eine nicht zu vernachlässigende Barriere; bei Verstößen gegen die im Rahmen des NDAs festgehaltenen Bestimmungen drohen empfindliche Strafen, die für kleine Unternehmen drastische Konsequenzen haben können.

81 | Vgl. Ferreira 2022.

82 | Vgl. OSSWATCH 2010.



## Die zehn Kriterien der Open-Source-Definition

Bei der Chipentwicklung spielen **Urheber- und Patentrechte** eine zentrale Rolle. Dies gilt im Besonderen für Designwerkzeuge, die als Softwareprodukte den Urheberrechten unterliegen. Meist treten Urheberinnen und Urheber einen Großteil der Rechte, die sogenannten Verwertungsrechte, durch vertragliche Vereinbarung an ihr Unternehmen oder ihre Kunden ab. Indem Urheberin oder Urheber beziehungsweise Verwerterin oder Verwerter das Designtool unter einer von der Open-Source-Initiative (OSI) vergebenen Open-Source-Lizenz veröffentlicht, wird dieses zum Open-Source-Tool. Hierfür müssen die zehn Kriterien der Open-Source-Definition (OSD) erfüllt werden. Unter einer bestätigten Open-Source-Lizenz verfügbare Designwerkzeuge räumen den Nutzenden die Rechte zur Verwendung der Werkzeuge ein. Die **zehn Kriterien der OSD** lauten:<sup>83</sup>

1. **Freie Weiterverbreitung:** Die Lizenz darf niemanden daran hindern, die Software als Bestandteil einer Gesamtsoftwaredistribution, die Programme verschiedener Quellen enthält, zu verkaufen oder weiterzugeben. Die Lizenz darf keine Lizenzgebühr oder sonstige Gebühr für einen solchen Verkauf verlangen.
2. **Quellcode:** Das Programm muss den Quellcode enthalten und die Weitergabe sowohl in Quellcode- als auch in kompilierter Form erlauben. Absichtlich verschleierter Quellcode ist nicht zulässig.
3. **Abgeleitete Werke:** Die Lizenz muss Modifikationen und abgeleitete Werke zulassen und deren Weitergabe unter denselben Bedingungen erlauben wie die Lizenz der Originalsoftware.
4. **Integrität des Quellcodes der Autorin oder des Autors:** Die Lizenz muss ausdrücklich die Weitergabe von Software erlauben, die aus modifiziertem Quellcode erstellt wurde. Die Lizenz kann vorschreiben, dass abgeleitete Werke einen anderen Namen oder eine andere Versionsnummer als die Originalsoftware tragen müssen.
5. **Keine Benachteiligung von Personen oder Gruppen:** Die Lizenz darf keine Person oder Gruppe von Personen diskriminieren.
6. **Keine Benachteiligung von Arbeitsgebieten:** Die Lizenz darf niemanden daran hindern, das Programm in einem bestimmten Tätigkeitsbereich zu nutzen.
7. **Verbreitung der Lizenz:** Die mit dem Programm verbundenen Rechte müssen für alle gelten, an die das Programm weitergegeben wird, ohne dass diese Parteien eine zusätzliche Lizenz ausstellen müssen.
8. **Die Lizenz darf nicht produktspezifisch sein:** Die mit dem Programm verbundenen Rechte dürfen nicht davon abhängen, ob das Programm Teil einer bestimmten Softwaredistribution ist. Wenn das Programm aus dieser Distribution extrahiert und im Rahmen der Lizenzbedingungen des Programms verwendet oder weitergegeben wird, sollten alle Parteien, an die das Programm weitergegeben wird, die gleichen Rechte haben, wie sie in Verbindung mit der ursprünglichen Softwaredistribution gewährt werden.
9. **Die Lizenz darf andere Software nicht einschränken:** Die Lizenz darf keine Einschränkungen für andere Software enthalten, die zusammen mit der lizenzierten Software vertrieben wird.
10. **Die Lizenz muss technologieneutral sein:** Keine der Lizenzbedingungen darf sich auf eine bestimmte Technologie oder eine bestimmte Art der Schnittstelle beziehen.

83 | Vgl. open source initiative 2024.

Alternativen stellen Open-Source-Ansätze wie die offenen PDKs SkyWater 130 nm, GlobalFoundries 180 nm und IHP 130 nm, dar (siehe Kasten zu Open PDKs in Kapitel 3.1). Im Gegensatz zu proprietären PDKs sind diese frei verfügbar und ohne Abschluss eines NDAs nutzbar, bislang jedoch auf reifere Technologien beschränkt.

Ein weiterer Pfeiler der Governance auf Makroebene und wesentliches Element eines funktionierenden Ökosystems ist die **Standardisierung**. Standards und Normen erleichtern die Zusammenarbeit zwischen den Mitwirkenden an unterschiedlichen Open-Source-Projekten, indem sie die Interoperabilität, Kompatibilität und Sicherheit verschiedener Lösungen gewährleisten und die Prozesseffizienz erhöhen.

- **Interoperabilität:** Durch standardisierte Schnittstellen können unterschiedliche Formate und Systeme verwendet und deren Zusammenspiel gewährleistet werden. Neue Ansätze können leichter in bestehende Produkte und Prozesse integriert werden.
- **Ressourceneinsparungen:** Die Nutzung gemeinsamer, standardisierter Datenformate (GDSII beispielsweise) sowie die Wiederverwendbarkeit von IP-Blöcken sparen Entwicklungszeiten und -kosten.
- **Zuverlässigkeit:** Normen unterstützen das Testen von Designs, um die Zuverlässigkeit und Funktionalität des späteren Chips sicherzustellen.
- **Sicherheit:** In sicherheitskritischen Anwendungen sind Standards essenziell, um vor Modifikationen und Manipulationen des Codes zu schützen.
- **Akzeptanz:** Standards fördern die Nachhaltigkeit von Produkten und können somit zu einer höheren Akzeptanz für quelloffene Lösungen in der Industrie beitragen.

Bei vielen der im Chipdesign relevanten Standards handelt es sich um **Industriestandards**. Sowohl in Open-Source-Projekten als auch in Projekten und Produkten proprietärer Anbieter finden diese Standards Anwendung. Die Entwicklung von Industriestandards im Bereich der Elektronik erfolgt meist im Rahmen von Konsortien, in denen zahlreiche namhafte Unternehmen und Tech-Giganten stark vertreten sind.

Durch ihre **Mitgliedschaft in Konsortien** bei Organisationen wie **Accellera** (siehe Kasten „Accellera Systems Initiative“) und Standardisierungsgremien der **IEEE** oder **IEC** können die Unternehmen ihre **Interessen einbringen** und **Technologieentwicklungen lenken**. In der Praxis führt dies zu einer erheblichen Einflussnahme großer Unternehmen auf die Chipentwicklung –

sie bestimmen, welche Spezifikationen, Schnittstellen und Formate auf dem Markt Akzeptanz erfahren.

Um dem entgegenzuwirken, haben einige **Open-Source-Projekte** ihre Lösungen **standardisiert und kostenfrei** zur Verfügung gestellt – hierzu zählen die für das Chipdesign relevanten Datenformate GDSII und LEF/DEF oder auch das Simulationsprogramm SPICE. Weitere Open-Source-Projekte bieten freie Spezifikationen für offene Befehlsarchitekturen (RISC-V) oder offene Chiplet-Schnittstellen (Chips Alliance AIB) an.

Teilweise entwickeln Unternehmen auch eigene, **proprietäre Unternehmensstandards** und veröffentlichen diese **später als offene Standards** (siehe Kasten zu UCle), um die Zusammenarbeit mit anderen Unternehmen und Lösungen zu ermöglichen.

### Durch Standards den Markt bestimmen: Accellera Systems Initiative

Die Accellera Systems Initiative ist eine unabhängige, gemeinnützige Organisation, welche die Entwicklung von **Standards für elektronische Designautomatisierung (EDA) und geistiges Eigentum (IP)** unterstützt. Im Rahmen der Accellera Systems Initiative entwickelte Standards und technische Implementierungen fließen in die formalen Standardisierungsprozesse des Institute of Electrical and Electronics Engineers (IEEE) ein. IEEE-Standards sind üblicherweise kostenpflichtig, über Lizenzen von Universitäten und Bibliotheken stehen sie Studierenden und Forschenden jedoch meist kostenlos zur Verfügung.

### Vom Industriestandard zum offenen Standard: Universal Chiplet Interconnect Express (UCle)

**Ursprünglich** wurde der UCle-Standard **von Intel** entwickelt und **zu einem späteren Zeitpunkt als offener Standard** freigegeben. Die Definition der Schnittstelle von Chiplets auf einem Package ermöglicht die Integration mehrerer Chiplets unterschiedlicher Hersteller als Multi-Chip-Module (MCM).



Bei proprietären Angeboten greifen die Tools nahtlos ineinander, während Open-Source-Werkzeuge meist nur einzelne Schritte der Entwurfskette abdecken. Daher ist hier von besonderer Bedeutung, dass **Schnittstellen** klar definiert und standardisiert sind, damit unterschiedliche Werkzeuge interoperabel miteinander agieren können. Neben Standards ist eine klare Dokumentation der Schnittstellen hilfreich, um kompatible Lösungen zu entwerfen (siehe die Empfehlungen der FOSSi Roadmap in Kapitel 3.1).

**Standardisierung und Normung** ist jedoch zeit- und ressourcenintensiv – beides ist für Start-ups und kleine Unternehmen mit erheblichen Hürden verbunden. Um die Mitwirkung dieser Akteure bei der Standardisierung zu fördern und ihnen somit die Möglichkeit zu geben, die Märkte mitzugestalten, bedarf es einer gezielten Unterstützung. Programme, welche die finanziellen Aufwände für die Mitgliedschaft in Gremien, aber auch für Sitzungszeiten und -reisen erstatten, könnten dazu beitragen, eine breitere Involvierung von KMU und Start-ups zu erreichen.

## 4 Anwendungsfelder und spezifische Anforderungen: Status quo und Ausblick

In diesem Kapitel werden verschiedene Anwendungsfelder der Mikroelektronik und ihre individuellen Anforderungen beleuchtet. Zuvor wird im Unterkapitel 4.1 eine Einschätzung des Status quo der deutschen Wirtschaft mit Blick auf die Mikroelektronik und das Chipdesign im Speziellen gegeben. Die Vorteile und Herausforderungen, die mit der Nutzung quelloffener Designwerkzeuge für unterschiedliche Stakeholdergruppen einhergehen, werden in 4.2 beschrieben. In Abhängigkeit des Anwendungsfelds können die Vorteile quelloffener Designwerkzeuge gezielt eingesetzt werden, während bestimmte Anforderungen nicht durch quelloffene Designwerkzeuge erfüllt werden können. In 4.3 werden die konkreten Anforderungen und Bedarfe der Anwendungsfelder sowie eine Einordnung quelloffener Designwerkzeuge aufgezeigt. Aus den Bedarfen der Anwendungsfelder resultieren konkrete Empfehlungen bezüglich der Förderung der Mikroelektronik, welche in 4.4 skizziert werden.

### 4.1 Deutschland in der Mid-Tech-Falle

Während andere Wirtschaftsräume wie die **USA** oder **China** massiv **Kapital in neue, wachstumsstarke Technologien** lenken, konzentrieren sich europäische Unternehmen und Investoren häufig auf etablierte Märkte mit geringerem Wachstumspotenzial.

Deutschland und die EU leiden an einem Innovationsdefizit, da der Kontinent weniger stark in disruptive Technologien investiert. **Produktivitätsgewinne** entstehen jedoch vorrangig durch **disruptive Innovationssprünge** und nicht durch inkrementelle Produktverbesserungen. Ohne ausreichende Innovationsdynamik in Spitzentechnologien bleiben Produktivitätsgewinne, Kosteneinsparungen und Produktdifferenzierung aus, was wiederum

das Wirtschaftswachstum hemmt und die Wettbewerbsfähigkeit beeinträchtigt.<sup>84,85</sup>

Diese **strukturelle Schwäche** hat zur Folge, dass Europa immer **stärker von außereuropäischen Technologien und Unternehmen abhängig** wird. Wenn kein Befreiungsschlag aus dieser Mid-Tech-Falle gelingt, dann wird der Wirtschaftsraum nicht nur an technologischer Souveränität, sondern auch an wirtschaftlicher Resilienz gegenüber geopolitischen Unsicherheiten und Handelskonflikten einbüßen.<sup>86</sup>

Die Misere der Mid-Tech-Falle liegt weniger in exogenen Faktoren – wie dem Krieg in der Ukraine, der protektionistischen Handelspolitik wichtiger Handelspartner oder den hohen Energiepreisen – begründet; vielmehr ist sie zu einem bedeutenden Teil das Resultat eines **langfristigen Trends** in Politik und Wirtschaft, Spitzentechnologie standortpolitisch zu vernachlässigen, abzubauen sowie zu verlagern und dort nicht in dem Umfang zu investieren wie vergleichbare Volkswirtschaften.<sup>87</sup>

Der **Verlust der technologischen Leistungsfähigkeit** verläuft schleichend, wie Beispiele aus der Elektronikindustrie zeigen. Mit dem Ende von Nixdorf verschwand die **Computerindustrie** aus Deutschland. Spätestens die Insolvenz von Grundig setzte den Schlusspunkt der hiesigen **Unterhaltungselektronikindustrie**. Durch den Verkauf des Siemens-Mobilfunkgeschäfts an die taiwanesischen BenQ und die Beendigung entsprechender Geschäftsaktivitäten bei Bosch verschwanden auch die **Mobilfunktechnologie** und damit der Rest der Consumer Electronics aus Deutschland. Mit der Einbringung der Siemens-**Kommunikationstechnologie** in ein Joint Venture mit Nokia ging schließlich auch der letzte deutsche Anbieter für Telekommunikationsinfrastrukturen verloren.<sup>88</sup>

Der Verlust dieser Industrie bedeutet, dass es **weniger Pull-Faktoren** aus der deutschen Industrie für besonders forschungs- und entwicklungsintensive mikroelektronische Bauelemente gibt. Die geringen Stückzahlen in diesem Segment, die von deutschen und europäischen Unternehmen nachgefragt werden, führen dazu, dass für europäische Halbleiterunternehmen eine **Skalierung schwerer möglich** ist. Bedingt durch den Schwerpunkt

84 | Vgl. Fuest et al. 2024.

85 | Vgl. Europäische Kommission 2024b.

86 | Vgl. ebd.

87 | Vgl. Wagner 2025.

88 | Vgl. Hoeffle 2024.



### Marktkapitalisierung in Milliarden US-Dollar

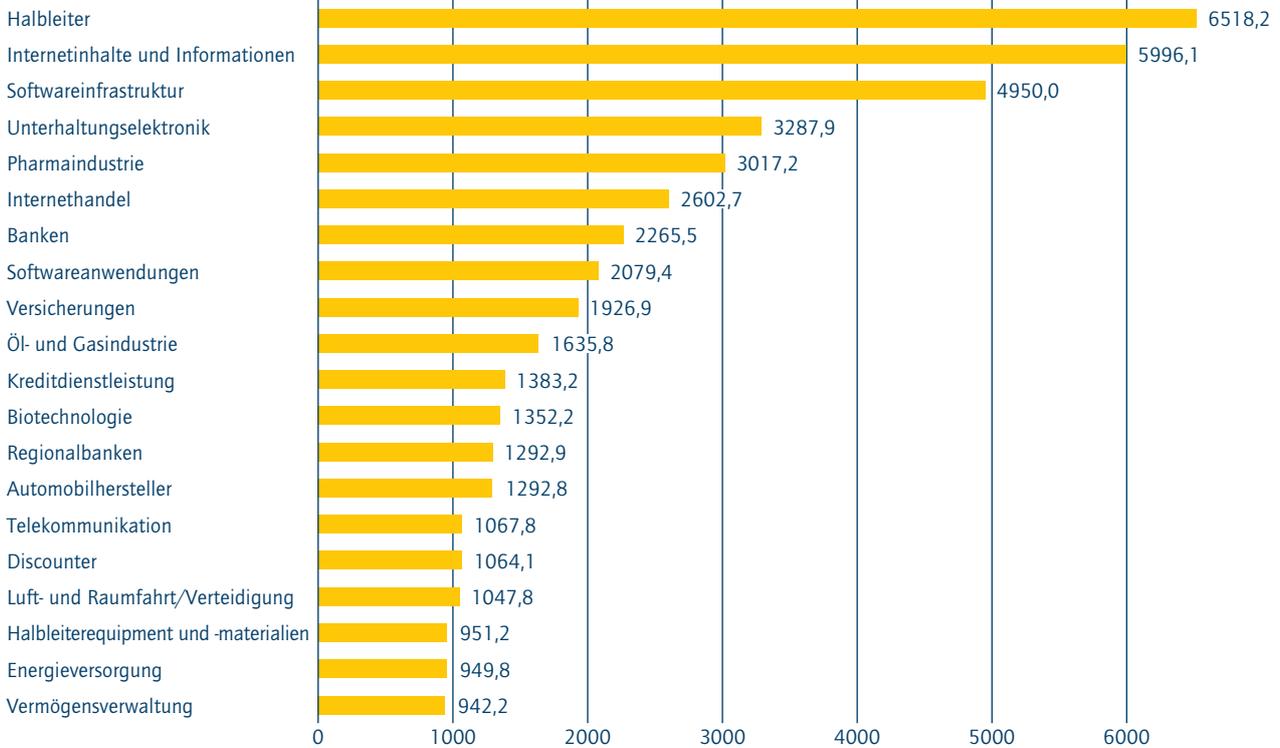


Abbildung 11: Die 20 nach Marktkapitalisierung wertvollsten Wirtschaftszweige der Welt für 2024 (Quelle: all electronics 2024)

der deutschen Volkswirtschaft auf Mid-Tech – also auf Industrien, die ein mittleres Technologieniveau<sup>89</sup> erreichen<sup>90</sup> – gibt es derzeit keine deutschen oder europäischen Unternehmen, die sich auf Chips spezialisiert haben, die die neuesten und aufwendigsten Fertigungsverfahren erfordern.

Die Hauptsitze von **Unternehmen mit starken Designaktivitäten** (Apple, NVIDIA, Qualcomm) und jene der drei führenden Anbieter von EDA-Werkzeugen (Cadence Design Systems, Siemens EDA, Synopsys) konzentrieren sich in den **USA**, deren volkswirtschaftlicher Schwerpunkt in Spitzentechnologiebranchen liegt.

**Deutsche Unternehmen**, die eigene Chips entwickeln, sind jedoch **stark in Nischenmärkten** vertreten, deren Produkte in reifen

Fertigungsverfahren produziert und global nachgefragt werden. Doch auch diese Firmen stehen unter einem zunehmenden internationalen Wettbewerbsdruck.

Nach Aussage der befragten Expertinnen und Experten bleibt die **Mikroelektronik der Grundbaustein fortschrittlicher Gesellschaften**, da sie die technologische Basis für nahezu alle modernen Anwendungen legt. Ihre Bedeutung wird in Zukunft weiter zunehmen, weil sie entscheidend Innovationsprozesse in Zukunftsbranchen vorantreibt.

Gemessen an der Marktkapitalisierung ist die **Halbleiterindustrie der mit Abstand wertvollste Wirtschaftszweig** (siehe Abbildung 11). Die hohe Bewertung an den Börsen spiegelt die

89 | High- und Mid-Tech-Industrien unterscheiden sich hinsichtlich ihrer F&E-Aufwendungen gemessen als Anteil am Umsatz. Die vom ifo Institut München, der Università Bocconi und der Business School Toulouse verwendete Klassifikation ähnelt der von Eurostat und der OECD verwendeten Einteilung (vgl. OECD 2022). High-Tech umfasst die Branchen Luft- und Raumfahrt sowie Verteidigung, erneuerbare Energien, elektronische und elektrische Ausrüstung, medizinische Geräte und Dienstleistungen, Pharmazeutik und Biotechnologie, Software und Computerdienstleistungen. Mid-Tech beinhaltet unter anderem die Branchen Automobil und Teile, Chemie, Finanzdienstleistungen, Maschinenbau und Telekommunikationsdienstleistungen. Die Kategorie „Sonstige“ umfasst unter anderem die Branchen Bau und Baumaterialien, Lebensmittelindustrie, Forstwirtschaft, Papierindustrie, Gas-, Wasser- und Mehrfachversorger, Haushaltswaren, Bergbau, Öl- und Gasproduzenten.

90 | Vgl. Fuest et al. 2024.

Erwartung wider, dass die größten **Wertschöpfungspotenziale in der Zukunft** in Technologien liegen, die auf mikroelektronischen Schaltungen aufbauen. Darüber hinaus liegen bedeutende Wertschöpfungspotenziale in Industrien, welche die Halbleiterindustrie mit Ausrüstung und Materialien versorgen.

Damit Deutschland seine traditionellen **Stärken in den B2B-Märkten** und einem **starken Mittelstand voll ausschöpfen** kann, müssen bestehende auf **Mikroelektronik basierende Kompetenzen ausgebaut und neue erschlossen** werden. Dies gilt für Märkte, in denen Deutschland bereits erfolgreich ist, aber auch für den Kern zukünftiger Halbleitertechnologien als Basis für Anwendungen im Bereich des Quantencomputing, beim autonomen Fahren, in der KI-basierten Robotik oder die Combat Cloud für die Bundeswehr und europäische Bündnispartner.<sup>91</sup>

Das **Chipdesign** ist entscheidend für die Wettbewerbsfähigkeit der Anwenderindustrien: Nur durch kontinuierliche Innovationen in diesem Bereich sowie eine **höhere Wertschöpfungstiefe** lassen sich **Handelsvorteile sichern** und hohe Profite erzielen.

**Open-Source-Chipentwicklungswerkzeuge** könnten langfristig eine Schlüsselrolle dabei spielen, insbesondere **KMU** den Aufbau eigener **Kompetenzen im Chipdesign** zu ermöglichen. Durch den offenen Zugang zu diesen Ressourcen und ihre flexible Anpassbarkeit hätten Unternehmen die Chance, unabhängig von den aktuell verfügbaren Werkzeugen eigene Innovationen zu realisieren. Quelloffene Entwurfsketten für reifere Technologie-knoten versprechen die technologische Souveränität Europas zu stärken und dazu beizutragen, dass wirtschaftliche und geopolitische Risiken besser abgefedert werden können.

## 4.2 Verschiedene Stakeholdertypen und ihr jeweiliges Potenzial im Hinblick auf quelloffene Entwicklungswerkzeuge

Aus der Analyse in Kapitel 3 geht hervor, dass quelloffene Designwerkzeuge für verschiedene Stakeholder in der Mikroelektronik aus unterschiedlichen Gründen attraktiv sein können. Im Folgenden werden die typischen Vorteile und Herausforderungen für die Stakeholdergruppen Wissenschaft und Forschung, Großindustrie, Forschungsservices/Entwicklungsdienstleister, KMU sowie Start-ups beschrieben und aufgeschlüsselt.

**Wissenschaft und Forschung** haben traditionell ein starkes Interesse an Open-Source-Lösungen, da diese freien Zugang zu Wissen und Technologien ermöglichen, was die Grundlage für eigene Forschungsaktivitäten darstellt. Zudem erlaubt Open Source die freie Verbreitung und gemeinsame Weiterentwicklung von Forschungsergebnissen. Darüber hinaus verbessert die Transparenz solcher Lösungen die Nachvollziehbarkeit und Reproduzierbarkeit wissenschaftlicher Ergebnisse, was ein zentraler Aspekt für die Validität von Forschung ist. Ein weiterer Vorteil ist, dass Open-Source-Lösungen frei verfügbar sind und weder Lizenzkosten noch Nutzungsbedingungen berücksichtigt werden müssen.

Eine **Herausforderung** stellen hingegen die **langfristige Finanzierung und Maintenance** der Lösungen dar. Open-Source-Projekte bedürfen kontinuierlicher Entwicklung und Wartung – doch Forschungsförderprogramme sind meist projektbasiert und laufen nach wenigen Jahren aus, die mit den Projekten vertrauten Personen widmen sich anderen Projekten oder wechseln in die Industrie. Zudem kann es schwierig sein, Anerkennung für Open-Source-Arbeit in wissenschaftlichen Karrieresystemen zu erhalten, da Veröffentlichungen und Patente oft höher bewertet werden als Beiträge zu und Maintenance von offenen Technologien. Insbesondere für Designwerkzeuge der Mikroelektronik mit ihrer ausgeprägten Komplexität und ihren hohen Qualitätsanforderungen bei der praktischen Anwendung ist die Maintenance aufwendig – hier sind die ausgereiften Entwicklungswerkzeuge der proprietären Anbieter, die im Rahmen akademischer Lizenzen für Wissenschaft und Forschung gut zugänglich sind, häufig die einfachere Option, um schnell gute Ergebnisse zu erzielen. Zum aktuellen Zeitpunkt werden in Wissenschaft und Forschung je nach Anwendungsfall und Präferenz der Forschenden **sowohl quelloffene als auch proprietäre Designwerkzeuge eingesetzt**.

Für die **Großindustrie** bieten **Open-Source-Werkzeuge** die **Möglichkeit, Lizenzkosten im Bereich der Entwicklung zu senken**. Wo verfügbar, können Unternehmen durch die Verwendung von quelloffener IP Ressourcen für nichtdifferenzierende Technologien einsparen. Die Verfügbarkeit von quelloffenen Alternativen **verringert die Abhängigkeit von proprietären Anbietern**, was Vorteile bei der Verhandlung von Lizenzkosten und der langfristigen Planung bringt. Gleichzeitig können große Unternehmen durch Open-Source-Ansätze ein eigenes Ökosystem aufbauen, das ihren Anforderungen entspricht.

Als größte **Herausforderung** gilt in der Großindustrie der **Reifegrad quelloffener Lösungen**. Da die Halbleiterentwicklungskette hochkomplex und sensibel gegenüber Störungen ist, wird ein Wechsel auf eine alternative Entwicklungskette aufgrund des



Risikos fehlerhafter Tape-outs ungern riskiert, insbesondere wenn wenig Erfahrung mit den Werkzeugen besteht. Zudem gibt es oft **rechtliche Unsicherheiten**, vor allem in Bezug auf Lizenzmodelle und Haftungsfragen, aber auch bezüglich der **Zertifizierbarkeit** quelloffener Werkzeuge und der mit diesen entwickelten Chips und Endprodukte. Eine weitere Herausforderung liegt in der Integration von Open-Source-Lösungen in bestehende, meist proprietäre Entwicklungsumgebungen. Zuletzt erfordert der Einsatz quelloffener Lösungen meist eine Anpassung interner Prozesse, was mit hohen Kosten und organisatorischen Widerständen verbunden sein kann.

Aufgrund der beschriebenen Risiken sind für die Großindustrie quelloffene Designwerkzeuge aktuell nur im Bereich der Vorentwicklung geeignet – um sich für die Massenfertigung anzubieten, müsste bei quelloffenen Werkzeugen das gleiche Niveau bezüglich Qualität, Zuverlässigkeit und Support erreicht werden, wie es die proprietären Anbieter leisten können.

**Forschungsservices und Entwicklungsdienstleister** profitieren von Open-Source-Technologien durch einen vereinfachten Zugang zu offenen Technologien und den Wegfall von Lizenzkosten. Bereits bestehende Open-Source-Komponenten lassen sich wiederverwenden, wodurch Entwicklungszeiten und Kosten für Kundenprojekte gesenkt werden können. Durch aktive Beteiligung an Open-Source-Projekten können sich diese Dienstleister zudem als Vorreiter in bestimmten Technologiebereichen positionieren und ihre technische Expertise weiter ausbauen. Die Transparenz von Open-Source-Entwicklungen schafft zusätzlich Vertrauen bei Kunden, da diese den Code und die Entwicklungsschritte nachvollziehen können.

Die größte **Herausforderung für Dienstleister** besteht darin, ein **nachhaltiges Geschäftsmodell** rund um Open Source zu etablieren, da Konkurrenten ebenso wie Kunden jederzeit Zugriff auf die gleichen Tools haben und gegebenenfalls auch Fachkräfte abwerben können. So können offene Technologien dazu führen, dass Unternehmen verstärkt auf eigene Entwicklungsressourcen setzen, anstatt externe Dienstleister zu beauftragen. Ein weiteres Problem ist die **fehlende Zertifizierung** für die Anforderungen der Kunden: Hier müssen sich Forschungsservices und Entwicklungsdienstleister nach den Vorgaben ihrer Kunden richten, obwohl sie gegenüber dem Einsatz quelloffener Designwerkzeuge prinzipiell aufgeschlossen wären.

Für **KMU** ist es strategisch wichtig, nicht von wenigen großen Anbietern abhängig zu sein, weshalb Open-Source-Technologien eine attraktive Alternative darstellen. Sie können insbesondere **von**

**der Kosteneffizienz und Flexibilität der Open-Source-Lösungen profitieren**, da sie gegenüber den großen etablierten Anbietern von EDA-Lösungen nur eine schwache Verhandlungsposition haben und nicht die hohen Rabatte der Großunternehmen aushandeln können. Bei quelloffenen Lösungen dagegen entfallen hohe Lizenzkosten. Gleichzeitig lassen sich die Entwicklungswerkzeuge individuell anpassen, um differenzierte Produkte für spezifische Marktsegmente zu entwickeln.

Die wichtigste **Herausforderung** für KMU ist der **Mangel an internen Ressourcen und Know-how**. Die **Nutzung und Anpassung von Open-Source-Lösungen ist aufwendig und erfordert technisches Fachwissen**, das in kleinen Unternehmen oft nicht ausreichend vorhanden ist. Zusätzlich bestehen Unsicherheiten hinsichtlich der langfristigen Verfügbarkeit und Wartung von Open-Source-Projekten. Viele KMU scheuen deshalb das Risiko, auf eine Lösung zu setzen, bei der kein Support verfügbar ist. Zudem kann es problematisch sein, Open-Source-Lösungen für sicherheitskritische oder hochspezialisierte Anwendungen in der Mikroelektronik zu nutzen, da viele Tools nicht dieselben Zertifizierungen und Validierungsprozesse wie proprietäre Lösungen durchlaufen haben, welche die KMU für ihre Kunden erfüllen müssen. Aus diesen Gründen sind quelloffene Lösungen bei KMU bisher sehr wenig verbreitet. Insbesondere das geringe Angebot an qualifizierten Fachkräften für Einsatz und Anpassung der quelloffenen Lösungen an die eigenen Bedarfe konterkariert diese Lösung und macht die proprietären Anbieter zur einzigen Option.

**Start-ups** profitieren, ähnlich wie KMU, stark von den geringen Kosten bei der Nutzung frei verfügbarer Werkzeuge und Bibliotheken, was die Entwicklung erster Prototypen und Demonstratoren für weitere Finanzierungsrunden häufig erst ermöglicht. Open-Source-Communities spielen eine wichtige Rolle als Multiplikatoren, indem sie neue Akteure in einer bestimmten Anwendung zusammenbringen können. Durch selbst entwickelte Open-Source-Lösungen können sich Start-ups als Technologieführer positionieren und gleichzeitig von der Weiterentwicklung durch eine breite Community profitieren.

Die Herausforderungen sind mit denen von KMU vergleichbar, zeigen sich jedoch oft in noch stärkerem Ausmaß. Die Anpassung quelloffener Tools für die eigenen Anforderungen muss aufgrund der damit verbundenen Kosten durch das Start-up selbst erlernt und bewältigt werden, was von der Entwicklung des eigentlichen Produkts ablenken kann. Der Aufbau eines tragfähigen Geschäftsmodells ist bei der Verwendung quelloffener Lösungen schwierig, da Investoren häufig einen klaren Schutz des geistigen Eigentums erwarten. Der Einsatz von Open-Source-Lösungen muss

daher mit einem überzeugenden Geschäftsmodell kombiniert werden. Dennoch ist bei Start-ups die Nutzung quelloffener Lösungen am ehesten verbreitet, insbesondere weil die meisten Gründerinnen und Gründer aus der Forschung kommen und ihre dort mit quelloffenen Designwerkzeugen entwickelten Konzepte ohne lizenzrechtliche und finanzielle Hürden direkt in ihr Start-up überführen können.

### 4.3 Konkrete Anwendungsfelder und ihre jeweiligen spezifischen Anforderungen

Neben der Analyse der unterschiedlichen Stakeholdergruppen ist eine gesonderte Betrachtung der für Deutschland wichtigen Anwendungsfelder relevant. Im Folgenden werden diese kurz beschrieben.

**Industrieelektronik, Industriemesstechnik und Industrie 4.0** sind zentrale Anwendungsfelder für den Wirtschaftsstandort Deutschland. Neben großen Konzernen wie Siemens gibt es zahlreiche mittelständische Unternehmen, die in ihren jeweiligen Nischen Technologieführer sind. Mit Industrie 4.0 eröffnen sich große Potenziale durch vernetzte, automatisierte Systeme, etwa in Feldern wie Robotik oder dem digitalen Zwilling. Diese Technologien ermöglichen effizientere Produktionsprozesse und eine höhere Flexibilität. Trotz höherer Kosten bleibt die deutsche Industrie durch ihre Qualitätsführerschaft wettbewerbsfähig, steht jedoch unter kontinuierlichem Druck durch die globale Konkurrenz.

**Telekommunikation** hat sich im professionellen wie auch im privaten Kontext zu einer unverzichtbaren Technologie entwickelt. Während sich deutsche Akteure in den letzten Jahrzehnten vom Consumer-Markt zurückgezogen haben, bestehen weiterhin große Kompetenzen in wichtigen Technologiedomänen wie Hochfrequenztechnologien oder Siliziumphotonik. Diese bilden die Grundlage für resiliente und sichere Lösungen in den Bereichen Netzwerkinfrastruktur für Wireless, 5G und 6G. Impulse für neue Technologien, zum Beispiel die globale satellitenbasierte Kommunikation für Endgeräte, kommen dagegen nicht aus Deutschland.<sup>92</sup>

Bei **Bildung und Forschung** ist Deutschland im internationalen Vergleich zumindest in Teilbereichen gut aufgestellt; auch im

Chipdesign gibt es umfangreiches akademisches Grundlagenwissen. Dieses Wissen ist jedoch gefährdet, da viele erfahrene Professorinnen und Professoren sowie Fachkräfte vor der Verrentung stehen, während auch die Studierendenzahlen in der Elektrotechnik sinken. Dies resultiert in einem Mangel an Fachkräften, die für das Schaltungsdesign und für neue halbleiterbasierte Anwendungen dringend benötigt werden. Eine Besonderheit im akademischen Umfeld ist, dass proprietäre Chipdesignwerkzeuge in akademischen Lizenzen sehr günstig sind. Im Rahmen von Ausgründungen aus der Wissenschaft können jedoch rückwirkend Lizenzkosten für die Kommerzialisierung dieser Designs erhoben werden. Aus der Perspektive einiger Fachleute kann dies die Umsetzung von Forschungsergebnissen in die industrielle Praxis hemmen.

**Rechen- und Datenzentren** gewinnen durch die zunehmende Digitalisierung und Vernetzung weiter an Bedeutung. Insbesondere der steigende Einsatz von Künstlicher Intelligenz – etwa für generative Modelle – treibt den Bedarf an spezialisierter Rechenleistung in die Höhe. Gleichzeitig steht die Branche vor der Herausforderung, den hohen Energieverbrauch effizient zu managen und auf geopolitische Spannungen angemessen zu reagieren. Da das Moore'sche Gesetz an seine physikalischen Grenzen stößt, sind alternative Architekturen wie Multi-Core-Ansätze und Spezialprozessoren bereits üblich, aber auch neue Technologien wie Analog Computing, Optical Computing oder Quantum Computing gewinnen an Bedeutung. Gerade mit neuen Technologien und innovativen Rechen- und Systemarchitekturen besteht das Potenzial, die US-Dominanz aufzubrechen.

In der **Luft- und Raumfahrt** sind hochwertige Halbleiterkomponenten essenziell für zuverlässige Avionik, Kommunikation und Sensortechnik. Während der deutsche Marktführer auf eigene Chipentwicklung weitgehend verzichtet, gibt es zahlreiche Technologieführer in anwendungsspezialisierten KMU, die trotz höherer Kosten durch ihre Qualität international wettbewerbsfähig sind. Im Raumfahrtbereich wird diese Position allerdings aufgrund des starken Wachstums privater US-Anbieter und deren Marktmacht gefährdet, da immer häufiger auf selektive Ausschreibungen mit der Vorgabe, möglichst Komponenten „Made in USA“ zu verwenden, gesetzt wird.

Das Anwendungsfeld **Verteidigung** ist eng mit der Luft- und Raumfahrtindustrie verbunden, stellt jedoch andere Anforderungen an Sicherheit, Zuverlässigkeit und Langlebigkeit. In den vergangenen Jahrzehnten bildete sich im Kontext der

92 | Vgl. Handelsblatt 2025b.



als beherrschbar empfundenen globalen Sicherheitslage ein Innovationsstau. Lange Verzögerungen bei Entwicklungsprojekten wurden toleriert, obwohl die militärische Ausrüstung im internationalen Vergleich zwei bis drei Generationen hinter dem State of the Art lag und Neuentwicklungen im globalen Vergleich mitunter als „Technology from the 90ies“ belächelt wurden. Durch den russischen Angriffskrieg in der Ukraine und die dort eingesetzten Technologien wurde jedoch ein Umdenken angestoßen: Die Politik hat den Bedarf an Investitionen in moderne, leistungsfähige Halbleiterlösungen für Kommunikations-, Radar- und Abwehrsysteme erkannt.

Für **Medizintechnik und Laborautomation** sind hochpräzise, miniaturisierte und vernetzte, aber intuitiv bedienbare Systeme notwendig. In der Bildgebung (zum Beispiel CT, MRT) sorgen Halbleiterdetektoren für eine verbesserte Signalqualität und schnellere Diagnosen. Lab-on-a-Chip-Systeme nutzen mikrofluidische Halbleiterstrukturen für automatisierte Analysen, etwa in der DNA-Sequenzierung oder Point-of-Care-Diagnostik. Diese Anwendungen erfordern hohe Sensitivität, Zuverlässigkeit und Biokompatibilität. Gleichzeitig verlangt der klinische Alltag kompakte und integrierte Designs für eine einfache Handhabung. IoT- und KI-Anbindung bieten das Potenzial für intelligente, vernetzte Systeme, die eine präzise, automatisierte und personalisierte, dabei aber kosten- und ressourceneffiziente Medizin ermöglichen.

**Automotive** ist eine der wichtigsten Branchen in Deutschland und vollzieht derzeit einen Wandel weg von rein elektromechanischen hin zu hochgradig digitalisierten Produkten.<sup>93</sup> Fahrzeuge werden zunehmend als „Rechen- und Datenzentren auf Rädern“ konzipiert, wobei eigenständige Systeme mit einfachen Steuergeräten immer mehr durch eine integrierte zonale Architektur ersetzt werden, die hohe Anforderungen an die Rechenleistung stellt. Dieser Wandel wird durch die zunehmende Integration leistungsfähiger Assistenzsysteme vorangetrieben, die teilweise On-Edge-Kapazitäten benötigen. Gleichzeitig vollzieht sich der Übergang von fossilen zu elektrischen Antrieben, was eine Vielzahl zusätzlicher elektronischer Komponenten, etwa für das Batteriemangement, erfordert. Die Branche sieht sich jedoch mit steigenden Kosten und wirtschaftlichen Herausforderungen konfrontiert, da die starke Position deutscher Automobilhersteller international sehr unter Druck ist.

**Umweltmonitoring** nutzt Halbleitertechnologien zur Erfassung von Umweltparametern wie Luft- und Wasserqualität, Temperatur oder Strahlung. Halbleiterbasierte Sensoren (zum Beispiel MOS-Gassensoren, MEMS-Sensoren, elektrochemische Detektoren)

ermöglichen eine hohe Empfindlichkeit und selektive Messungen. Die Sensoren müssen robust, langzeitstabil und energieeffizient sein, um auch in abgelegenen Gebieten zuverlässig arbeiten zu können. Miniaturisierte Systeme mit integrierter Sensorelektronik und IoT-Anbindung erlauben Echtzeitüberwachung und smarte Datenverarbeitung. Fortschritte in Nanotechnologie und KI verbessern Sensitivität und Signalverarbeitung, wodurch präzisere und nachhaltigere Umweltanalysen realisierbar werden.

In Abhängigkeit des Anwendungsfelds werden **unterschiedliche Anforderungen** an die Halbleiterelemente gestellt. Die spezifischen Anforderungen haben Einfluss auf die Wahl der verwendeten Designwerkzeuge – dabei kommen die Vor- und Nachteile quelloffener Werkzeuge gegenüber den Lösungen proprietärer Anbieter zum Tragen. Befragte Fachleute bestätigen die Vorteile quelloffener Lösungen unter folgenden Bedingungen:

- **Produktion geringer Stückzahlen:** Während der Fertigungsprozess für Halbleiterkomponenten auf sehr hohe Stückzahlen ausgelegt ist, gibt es für einige Anwendungsfelder lediglich einen Markt für geringe Stückzahlen.
- **Hoher Spezialisierungsgrad:** Für viele Anwendungsfelder sind hochspezifische Lösungen notwendig, welche individuell entwickelt werden müssen und nicht kommerziell eingekauft werden können.

Die hohen Kosten und die fehlende Anpassbarkeit proprietärer Designwerkzeuge macht deren Nutzung unter den genannten Bedingungen weniger vorteilhaft und begünstigt den Einsatz quelloffener Lösungen. Anbieter proprietärer Designwerkzeuge konzentrieren sich zudem auf die großen Akteure der Halbleiterindustrie, weshalb quelloffene Lösungen insbesondere für KMU und Start-ups eine Alternative darstellen.

Im Gegenzug gibt es Bedingungen, welche den Einsatz proprietärer Designwerkzeuge begünstigen:

- **Hoher Innovations- und Kostendruck:** Durch den global geprägten Halbleitermarkt existiert in den meisten Branchen ein hoher Innovations- und Kostendruck, weshalb sich Unternehmen an die bewährten und verbreiteten Designwerkzeuge halten, anstatt das Risiko einer Umstellung zu wagen.
- **Zertifizierbarkeit:** Besonders sicherheitskritische Anwendungen haben hohe Anforderungen an die Zertifizierbarkeit, die quelloffene Designwerkzeuge aufgrund fehlender Notwendigkeit bisher nicht erfüllen.
- **Hohe Rechenleistung und Energieeffizienz:** In Anwendungsfeldern, in denen eine hohe Rechenkapazität oder hohe Energieeffizienz kritisch ist, sind leistungsfähige Designwerkzeuge unverzichtbar. Hier sind die mit hohem

Ressourcenaufwand entwickelten proprietären Designwerkzeuge den quelloffenen Alternativen bisher üblicherweise voraus.

#### 4.4 Von Push zu Pull: Marktgetriebene Innovationen für Chipdesigntools durch Anwenderindustrien

Bund und Länder haben die überragende Bedeutung der Mikroelektronik für die industrielle Zukunft Deutschlands erkannt. Im **Beschlusspapier der Ministerpräsidentenkonferenz** von März 2025 wird die gezielte Förderung von neuen Chipdesignarchitekturen in Aussicht gestellt.<sup>94</sup> Auch das **BMWK** und das **BMBF** verkünden im März 2025 in einem gemeinsamen Positionspapier, dass sie das Chipdesign und den Bereich des Advanced Packaging als entscheidende Wirkpotenziale für die technologische Souveränität und damit auch für die staatliche Forschungsförderung betrachten.<sup>95</sup> Darüber hinaus ist Deutschland, ebenfalls

seit März 2025, basierend auf einer Initiative der Niederlande Mitglied einer **europäischen Länderkoalition der Willigen** mit dem Ziel, die Souveränität Europas auf dem Feld der Mikroelektronik zu stärken.<sup>96</sup>

Die genannten Papiere zeigen, dass es auf allen politischen Ebenen Unterstützung für einen **Befreiungsschlag aus der Mid-Tech-Falle** gibt. Gerade vor dem Hintergrund der angespannten geopolitischen Lage und des europäischen Bedarfs an souveränen Lösungen zur Verteidigungsfähigkeit wird eine schnelle Übersetzung angewandter Halbleiterforschung und Entwicklung in marktfähige Produkte angestrebt.

Die Wirtschaftsförderung, insbesondere mit Blick auf KMU und quelloffene Designinstrumente, sollte deshalb an die konkreten Bedarfe der Anwenderindustrien geknüpft werden. Dies bedeutet eine **teilweise Abkehr vom Push-Prinzip**, nach der die Ministerialbürokratie die Innovationsagenda im Rahmen von Ausschreibungen festlegt, hin zu **Pull-Mechanismen**, in der die Schwerpunkte für Forschungs- und Entwicklungsaufwendungen entlang der tatsächlichen Bedarfe der Anwenderindustrien ausgerichtet werden.

94 | Vgl. Sächsische Staatskanzlei 2025.

95 | Vgl. BMWK/BMBF 2025.

96 | Vgl. Government of the Netherlands 2025.



## 5 Erkenntnisse und Handlungsoptionen

Zum aktuellen Zeitpunkt stellen quelloffene Designwerkzeuge für Unternehmen der deutschen Halbleiterindustrie keine Alternative zu den etablierten **proprietären Lösungen** dar. Fast die gesamte Halbleiterbranche ist in kritischer Weise von **wenigen Anbietern abhängig**.

Damit **quelloffene Lösungen** mehr Verbreitung finden und in vielen Anwendungsbereichen Industriereife erlangen, müssen einige **Stellschrauben** justiert werden:

- **Quelloffene EDA-Tools:** Aktuell limitieren eine niedrigere technische Reife, ein eingeschränkter Funktionsumfang, begrenzte Zertifizierbarkeit und die geringe Verfügbarkeit von PDKs die industrielle Nutzbarkeit.
- **Proprietäre Anbieter:** Den etablierten Flows proprietärer Anbieter mangelt es an offenen Schnittstellen. Diese sind jedoch Voraussetzung für eine reibungslose Integration und für hybride Entwurfsketten, die sowohl proprietäre als auch quelloffene Lösungen umfassen.
- **Designhäuser, Foundries:** Derzeit mangelt es für interessierte Firmen aus Anwenderindustrien beim Einstieg in das Chipdesign mit quelloffenen Lösungen an Unterstützung.

Trotz der genannten Einschränkungen können bereits heute **in frühen Entwicklungsphasen** quelloffene Werkzeuge eine gewinnbringende Alternative für Unternehmen sein, da hier der Vorteil einer flexiblen Modifizierbarkeit als sehr wertvoll angesehen wird und ein zeitlicher Spielraum zur Einarbeitung und Individualisierung der Tools vorhanden ist. Gegebenenfalls besteht auch die Möglichkeit zur Vernetzung innerhalb der Community, wodurch beispielsweise spezialisierte Fachkräfte gefunden werden können.

Auch in den Bereichen **Bildung und Forschung** und – je nach Anwendungsfall – in Start-ups sowie KMU können quelloffene Lösungen eine gute Option sein. Neben der flexiblen Modifizierbarkeit sind hier auch die finanziellen und rechtlichen Rahmenbedingungen ein wesentlicher Vorteil. Zusätzlich kann der aktive **Austausch mit der Open-Source-Community** zu neuen Ansätzen und Innovationen führen.

In der **schulischen Bildung** können Formate auf Grundlage quelloffener Designwerkzeuge und entsprechend gestaltete

Fertigungsprogramme dabei helfen, das in den klassischen Lehrplänen derzeit unterrepräsentierte Thema zu beleuchten. So kann besonders interessierten Schülerinnen und Schülern und damit potenziellen Studierenden ermöglicht werden, sich ohne bürokratische Hürden mit dem Thema zu beschäftigen.

Quelloffene Chipdesignwerkzeuge als Alternative zu den bestehenden Angeboten können dazu beitragen, die **technologische Souveränität** zu sichern und die Innovationsfähigkeit insbesondere in zukunftsweisenden Bereichen wie Optical Computing, Quantum Computing und Advanced Packaging zu stärken. Ein europäisches Ökosystem für Chipdesignsoftware könnte zudem die **Wertschöpfung**, die derzeit in Form hoher Lizenzgebühren in die USA abfließt, **im eigenen Wirtschaftsraum halten**.

Aufgrund der starken Marktposition und der Lock-in-Effekte der verbreiteten proprietären Werkzeugketten benötigen **quelloffene Lösungen** allerdings weitere **institutionelle Unterstützung**, um **Industriereife** zu erlangen. Um die Entwicklung hin zu einem Zielbild einer industriereifen Designkette auf Grundlage quelloffener Werkzeuge zu ermöglichen, werden folgende Handlungsoptionen formuliert.

### 5.1 Handlungsoptionen für die Wissenschaft

1. In der **akademischen Ausbildung** sollten **sowohl proprietäre als auch quelloffene Ansätze** vorgestellt und die jeweiligen Vor- und Nachteile klar aufgezeigt werden. Dies würde die Absolventinnen und Absolventen gegenüber der Thematik sensibilisieren und könnte perspektivisch helfen, die in Unternehmen häufig vorhandene Überzeugung der Alternativlosigkeit proprietärer Designflows infrage zu stellen, und damit das Ökosystem der vorhandenen Designwerkzeuge dynamisieren.
2. In den kommenden Jahren droht durch Pensionierungen und Renteneintritte ein erheblicher Verlust an Know-how im Bereich des automatisierten Schaltungsentwurfs. Dies geschieht in einer Zeit, in der die Bedeutung des Chipdesigns stark zunimmt und die Industrie einem tiefgreifenden Strukturwandel unterliegt. Im Sinne eines von der Expertenkommission Forschung und Innovation (EFI)<sup>97,98</sup> und dem Zukunftsrat des Bundeskanzlers geforderten **Portfolioprozesses** sollten die

97 | Vgl. Expertenkommission Forschung und Innovation 2025.

98 | Vgl. acatech 2024b.

Länder gemeinsam mit den Hochschulleitungen die Anzahl der entsprechenden universitären Planstellen im Hinblick auf den Strukturwandel überprüfen und frei werdende Kapazitäten gezielt zum **Ausbau der Mikroelektronik** nutzen.

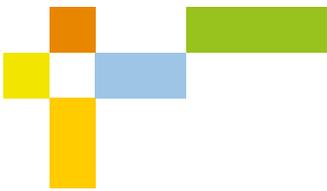
3. Um internationale Spitzenkräfte für Deutschland zu gewinnen, könnte das Instrument der Humboldt-Professuren strategisch eingesetzt werden – ähnlich wie im Bereich Künstliche Intelligenz. Zudem sollten einige führende Standorte in Deutschland hinsichtlich personeller und **materieller Ausstattung international konkurrenzfähig** aufgestellt werden, orientiert an staatlichen Spitzenuniversitäten wie der University of California, Berkeley, der ETH Zürich oder der University of Cambridge.
4. Universitäten und Hochschulen der Angewandten Wissenschaften sollten darauf achten, das existierende Know-how durch neue Professuren und eine aktive Beteiligung an Open-Source-Projekten für Schaltungsentwurf zu erhalten und weiterzuentwickeln sowie Ausgründungen zu fördern. Ein wichtiges Element hierfür ist die **Verfügbarmachung von Deliverables und Ergebnissen** aus Förderprojekten in **quelloffener Form und festgelegten Formaten**, was bei proprietären Lösungen aufgrund der Lizenzvereinbarungen häufig nicht erlaubt ist. Als institutionelle akademische Praxis etabliert, könnten so die in Kapitel 3 beschriebenen Mechanismen des Frictionless Design für das Feld der Mikroelektronik in Gang gesetzt und das Forschungsfeld des automatisierten Schaltungsentwurfs wie auch der gesamten Mikroelektronik dynamisiert werden.

## 5.2 Handlungsoptionen für die Wirtschaft

1. Als zentrale Schnittstelle zwischen Anwenderindustrien und der Open-Source-EDA-Community, welche universitäre Gruppen, außeruniversitäre Forschungseinrichtungen, Entwicklungsdienstleister sowie freie Entwicklerinnen und Entwickler umfasst, könnte ein **Open-Source-EDA-Anwenderforum** entstehen. Ein solches von der Industrie getragenes Anwenderforum dient dazu, die Entwicklung quelloffener Designwerkzeuge gezielt voranzutreiben. Durch den direkten Austausch zwischen Entwicklern und Anwendern können gemeinsame Standards erarbeitet werden, die eine nahtlose Integration in industrielle Entwicklungsprozesse

ermöglichen. Das Forum kann durch Arbeitsgruppen und regelmäßige Treffen sicherstellen, dass Anforderungen aus der Praxis frühzeitig berücksichtigt werden und Entwicklungen in eine Richtung gelenkt werden, die eine langfristige industrielle Nutzung fördert. Darüber hinaus trägt die enge Zusammenarbeit mit Hochschulen dazu bei, Ausbildungsinhalte an aktuelle technologische Herausforderungen anzupassen, sodass Absolventinnen und Absolventen besser auf die Anforderungen der Industrie vorbereitet sind. Dieses Format würde eine marktgetriebene Wirtschafts- und Technologiepolitik unterstützen. Entscheidend ist ihre Einbettung in eine langfristige Halbleiterstrategie, die sämtliche Fördermaßnahmen regelmäßig evaluiert und bei Bedarf gezielt nachsteuert.

2. Obgleich quelloffene Werkzeuge meist keine Option für marktfähige Halbleiterprodukte darstellen, sollten sie als Ergänzung und Alternative zu proprietären Werkzeugen, zum Beispiel in frühen Entwicklungsphasen, berücksichtigt werden. Zudem sind sie eine wertvolle Option für Spezialanwendungen und Zukunftstechnologien, für die proprietäre Angebote nicht existieren oder nicht ausgereift sind. Quelloffene Werkzeuge entwickeln sich zudem schnell weiter und könnten bald industrielle Relevanz erlangen – Unternehmen, die **früh Kompetenzen aufbauen**, sichern sich dadurch Wettbewerbsvorteile. Vor dem Hintergrund der bestehenden Lock-in-Effekte kann eine aktive Beteiligung an der Weiterentwicklung quelloffener Alternativen zumindest punktuell dazu beitragen, Abhängigkeiten zu reduzieren und die Verhandlungsposition gegenüber den proprietären Anbietern zu verbessern.
3. Bei der Auswahl von Chipdesignwerkzeugen sollten Unternehmen **Tools bevorzugen, die offene Standards für Eingabe- und Ausgabeformate unterstützen** und dadurch die Kompatibilität mit quelloffenen Werkzeugen oder Lösungen anderer Anbieter gewährleisten.
4. Bei **inhouse** und in Kooperation mit Hochschulen oder Start-ups **entwickelten Lösungen**, welche die proprietären Designwerkzeuge ergänzen, sollte geprüft werden, ob diese nutzenbringend mit der **Open-Source-Community geteilt** werden können. Neben Impulsen zur Weiterentwicklung der Lösung könnte die Zusammenarbeit mit Open-Source-Communities neue Geschäftsmodelle, beispielsweise auf Basis von technischem Support, hervorbringen.



## 5.3 Handlungsoptionen für die Politik

1. Um Unternehmen den Einsatz quelloffener Lösungen zu ermöglichen, müssen Support und Maintenance entlang der Werkzeugkette sichergestellt sein. Sollte dies nicht von den laufenden Aktivitäten im Rahmen der EU-Designplattform und der Kompetenzzentren des EU Chips Act abgedeckt werden, könnte eine Organisation, die fachlich und personell ausreichend ausgestattet ist, auf nationaler Ebene diese Rolle erfüllen. Zielbild sollte eine **Plattform** sein, die **als Marktplatz oder One-Stop-Shop** neben online wie offline verfügbaren, abgestimmten und lückenlosen quelloffenen Werkzeugketten auch verschiedene Angebote für Tape-outs beinhaltet. Dieses Angebot sollte allen Akteuren aus Wissenschaft und Wirtschaft, sowohl als Anbieter wie auch als Kunde, offenstehen und würde erlauben, die bestehenden Lock-in-Effekte der proprietären Werkzeugkette aufzulösen. Für Firmen, die ihre intern entwickelten Lösungen mit der Open-Source-Community teilen möchten, böte der One-Stop-Shop eine vertrauensvolle Plattform für die langfristige Maintenance. Die Integration neuer Lösungen und die Weiterentwicklung bestehender Werkzeuge könnten ebenfalls von dieser Organisation geleistet werden.
2. Die Hintergrundgespräche mit Expertinnen und Experten aus den Anwenderindustrien haben gezeigt, dass die deutsche Industrie in allen betrachteten Branchen nur verhalten in eine eigene Chipentwicklung investiert. Die wenigen Unternehmen, die im eigenen Hause Chips entwickeln, setzen überwiegend auf proprietäre Designwerkzeuge, da sie im Zusammenhang mit quelloffenen Lösungen Risiken für ihr Kerngeschäft befürchten. Um den Einstieg in die Nutzung quelloffener Software zur Entwurfsautomatisierung zu incentivieren und deren Weiterentwicklung nach Industriestandards zu fördern, wären geförderte **EDA-Entwicklungs-Voucher** denkbar. Unternehmen könnten sich so mit einem Use Case um eine Förderung bewerben. Der Voucher würde es den Unternehmen ermöglichen, gezielt Aufträge zur Weiterentwicklung quelloffener EDA-Tools zu vergeben, damit diese für ihren speziellen Anwendungsfall Industrie-reife erlangen. Als Förderbedingung müssen alle mit dem Voucher finanzierten Entwicklungen unter eine Open-Source-Lizenz fallen. Durch den Fördermechanismus der Voucher wird sichergestellt, dass die Weiterentwicklung von EDA-Entwicklungswerkzeugen genau den Bedarfen der Industrie entspricht. Die Voucher könnten die industrielle Nutzerbasis stärken und darüber hinaus langfristig zu einem sich selbst-tragenden Ökosystem beitragen.
3. Die deutsche Halbleiterindustrie würde erheblich von einer quelloffenen, **nahtlosen Entwicklungskette** profitieren, die auf zwei Knoten – beispielsweise **22 nm bei GlobalFoundries** und **130 nm beim IHP** – ausgerichtet ist. Diese Infrastruktur könnte Innovationen beschleunigen, den Zugang zu modernen Fertigungstechnologien erleichtern und die technologische Souveränität Deutschlands stärken. Daher sollte die Politik diese Entwicklung, zum Beispiel im Rahmen von Ausschreibungen mit Fokus auf die technologische Umsetzung, gezielt fördern und zunächst auf nationaler Ebene vorantreiben, um eine schnelle Verfügbarkeit zu ermöglichen.
4. Die **öffentliche Förderung** für die Entwicklung von Entwurfswerkzeugen könnte – wo es sinnvoll ist – **an die quelloffene Veröffentlichung der Projektergebnisse geknüpft** werden. Dabei sollten jedoch Verwertungsinteressen und mögliche Dual-Use-Risiken berücksichtigt und abgewogen werden.

# Glossar

**ADC (Analog-to-Digital Converter):** Eine Schaltung, die analoge Signale (zum Beispiel Spannung) in digitale Werte umwandelt. ADCs werden in Sensoren, Audioverarbeitung und Kommunikationstechnik verwendet.

**ADK (Application Design Kit):** Eine Erweiterung eines PDK, die speziell auf eine Anwendung zugeschnittene Designwerkzeuge, Bibliotheken und zusätzliche Modelle enthält. ADKs helfen Designern, komplexe Chips für spezifische Märkte (zum Beispiel Automotive, IoT) effizient zu entwickeln.

**Analogdesign:** Der Entwurf analoger Schaltungen, die kontinuierliche Signale verarbeiten, zum Beispiel Verstärker, Oszillatoren oder Spannungsregler. Analogdesign erfordert detaillierte Modellierung von Transistoreigenschaften und parasitären Effekten.

**ASIC (Application-specific Integrated Circuit):** Ein kundenspezifischer Chip, der für eine spezielle Anwendung optimiert ist. Im Gegensatz zu FPGAs ist ein ASIC nach der Fertigung nicht mehr programmierbar, bietet aber eine höhere Effizienz und geringeren Stromverbrauch.

**Chiplet:** Ein kleiner, eigenständiger Halbleiterbaustein, der mit anderen Chiplets kombiniert wird, um ein komplettes System zu bilden. Diese Technologie ermöglicht es, verschiedene Funktionen auf separaten Dies zu realisieren und sie über fortschrittliche Interconnect-Technologien zu verbinden.

**Chips:** Integrierte Schaltkreise (ICs), die aus einer Vielzahl von elektronischen Komponenten wie Transistoren, Widerständen und Kondensatoren bestehen. Sie sind das Herzstück moderner Elektronik und werden in Computern, Smartphones und vielen anderen Geräten verwendet.

**CI/CD (Continuous Integration, Continuous Delivery):** Eine in der Softwareentwicklung verbreitete Praxis, bei der neue Features kontinuierlich den Kunden zugänglich gemacht werden.

**CMOS (Complementary Metal–Oxide–Semiconductor):** Halbleiterbauelemente, bei denen sowohl positiv als auch negativ dotierte Kanäle auf einem gemeinsamen Substrat verwendet werden.

**Custom Layout Design:** Der manuelle Entwurf von Schaltungen auf Transistorebene, um maximale Performance und Effizienz zu erreichen. Wird häufig für Hochgeschwindigkeits- oder Analogschaltungen genutzt.

**DAC (Digital-to-Analog Converter):** Eine Schaltung, die digitale Signale in analoge Spannungen oder Ströme umwandelt. DACs sind essenziell für Audioausgabe, Kommunikation und Regelungstechnik.

**DARPA (Defense Advanced Research Projects Agency):** Eine US-Regierungsbehörde, die innovative Technologien für militärische Anwendungen entwickelt. DARPA hat zahlreiche Durchbrüche im Halbleiterbereich gefördert, darunter frühe Entwicklungen zu Mikroprozessoren und fortschrittliche Chipdesigntechnologien.

**Data Preparation (Datenaufbereitung):** Der Prozess, bei dem das Chiplayout in ein formatgerechtes Design für die Fertigung umgewandelt wird. Dazu gehören das Maskenlayout, die Fehlerkorrektur (Optical Proximity Correction, OPC) und die Generierung der Belichtungsdaten für die Lithografie.

**DFM (Design for Manufacturing):** Dieser Begriff beschreibt die allgemeine Praxis, Produkte so zu entwerfen, dass sie leicht zu fertigen sind. In der Halbleiterfertigung ist die Reduzierung fehlerhafter Dies ein wichtiger Aspekt.

**DFT (Design for Test):** In der Mikroelektronik müssen die gefertigten Dies aufwendig getestet werden. Um dies zu erleichtern, werden zusätzliche Elemente in das Design integriert, welche nur dem Testen dienen.

**Die:** Der tatsächliche Siliziumchip, der aus einer Wafer-Fertigung stammt. Ein Wafer enthält mehrere Dies, die nach der Produktion getrennt und weiterverarbeitet (zum Beispiel verpackt) werden.

**Digitaldesign:** Der Bereich des Chipdesigns, der sich mit der Entwicklung digitaler Schaltungen befasst. Dazu gehören Logikgatter, Prozessoren, Speicher und digitale Signalverarbeitung. Digitaldesign erfolgt oft mit Hardware Description Languages (HDLs) wie VHDL oder Verilog.

**DRAM (Dynamic Random-Access Memory):** Ein flüchtiger Speicher, der Daten in Kondensatoren speichert und regelmäßig aufgefrischt werden muss. DRAM ist der Hauptspeicher in Computern und bietet eine hohe Speicherdichte.



**DRC (Design Rule Check):** Ein Arbeitsschritt im Chipdesign, bei dem geprüft wird, ob die Designregeln der Fab wie beispielsweise der minimale Leiterbahnabstand eingehalten werden.

**EDA (Electronic Design Automation, Entwurfsautomatisierung):** Der Einsatz von Softwaretools zur Unterstützung des Entwurfs von integrierten Schaltkreisen (ICs). Diese Tools helfen bei der Schaltplanerstellung, Simulation, Verifikation, Platzierung, Verdrahtung und Herstellung der Chips.

**Fab (Fabrication Facility):** Halbleiterfertigungsanlage, in der Mikroprozessoren, Speicherchips und andere integrierte Schaltkreise hergestellt werden.

**Floorplan:** Ein früher Schritt im Layoutprozess, bei dem die grobe Platzierung der Hauptkomponenten eines Chips definiert wird. Das Ziel ist eine effiziente Anordnung, um Signallaufzeiten, Energieverbrauch und Platzbedarf zu minimieren.

**Foundry (Halbleiterfertiger):** Ein Unternehmen, das Chips für Dritte produziert, ohne eigene Chipdesigns zu entwickeln. Beispiele sind TSMC, GlobalFoundries und Samsung Foundry. Foundries stellen ICs basierend auf Designvorgaben von Fabless-Unternehmen her.

**FPGA (Field-programmable Gate Array):** Ein rekonfigurierbarer Chip, dessen Schaltung nach der Herstellung programmierbar ist. FPGAs werden für Prototyping, spezielle Beschleunigungsaufgaben und anpassbare Hardwarelösungen eingesetzt.

**Gate (Logic Gate):** Grundbausteine digitaler Schaltungen, die logische Operationen wie UND (AND), ODER (OR) und NICHT (NOT) ausführen. Sie bestehen aus Transistoren und bestimmen das Verhalten eines digitalen Schaltkreises.

**IC (Integrated Circuit, Integrierter Schaltkreis):** Ein Halbleiterbaustein, der eine Vielzahl elektronischer Komponenten (Transistoren, Widerstände, Kondensatoren) auf einem einzigen Chip integriert. ICs sind die Basis für nahezu alle modernen elektronischen Geräte.

**IoT (Internet of Things):** Das Internet der Dinge beschreibt das Konzept vieler mit dem Internet verbundener Alltagsgeräte, welches eine vollständige Verknüpfung zwischen der digitalen und realen Welt ermöglichen soll.

**IP (Intellectual Property, geistiges Eigentum):** Vorgefertigte, wiederverwendbare Schaltungsblöcke oder Designs, die in größere Chips integriert werden können. Beispiele sind Prozessorkerne (zum Beispiel ARM oder RISC-V), Schnittstellenmodule (zum Beispiel PCIe, USB) oder Speichercontroller. IP kann lizenziert oder intern entwickelt werden.

**Layout:** Die physische Darstellung eines Chips, die die Positionen der Transistoren, Metallverbindungen und anderen Bauelemente enthält. Das Layout wird nach den Designregeln der Fertigungstechnologie erstellt und muss optimiert werden, um Platzbedarf und Leistung zu verbessern.

**Leading-Edge-Knoten:** Die neueste und fortschrittlichste Fertigungstechnologie für Halbleiter, gemessen in Nanometern (zum Beispiel 5 nm, 3 nm). Diese Knoten bieten höhere Transistordichte, bessere Energieeffizienz und höhere Leistung, werden aber aufgrund steigender Kosten und technischer Herausforderungen immer komplexer.

**LLM (Large Language Model):** Ein großes neuronales Netzwerk, das auf natürliche Sprachverarbeitung trainiert wurde. LLMs wie GPT oder BERT können für Dokumentation, Designoptimierung und Automatisierung in der Halbleiterindustrie eingesetzt werden.

**LVS (Layout versus Schematic):** Im Rahmen der Designverifikation muss abgeprüft werden, ob das erstellte Layout weiterhin dem im vorherigen Schritt erstellten Schaltplan (Schematic) entspricht.

**MCM (Multi-Chip Module):** Ein Packaging-Ansatz, bei dem mehrere Chips (Dies) auf einem gemeinsamen Träger oder Substrat integriert werden. MCMs ermöglichen eine höhere Leistungsfähigkeit und Bandbreite, indem sie verschiedene Funktionen in einem Modul kombinieren.

**MEMS (Micro-Electro-mechanical Systems):** Mikrosysteme, die mechanische und elektrische Komponenten auf einem Chip kombinieren. MEMS werden zum Beispiel für Sensoren und Mikrospiegel in Projektoren verwendet.

**Mixed Signal (Mischsignaltechnik):** Ein Designbereich, der sowohl digitale als auch analoge Schaltungselemente kombiniert. Mixed-Signal ICs werden häufig in Kommunikationssystemen, Sensorik und Signalverarbeitung eingesetzt, zum Beispiel in Analog-Digital-Wandlern (ADC) oder Digital-Analog-Wandlern (DAC).

**ML (Machine Learning, Maschinelles Lernen):** Ein Bereich der Künstlichen Intelligenz, der Algorithmen nutzt, um aus Daten zu lernen und Muster zu erkennen. ML wird in der Chipentwicklung für Optimierungen, Verifikation und automatisiertes Design eingesetzt.

**Moore's Law (Moore'sches Gesetz):** Eine Beobachtung von Gordon Moore (Mitbegründer von Intel), die besagt, dass sich die Anzahl der Transistoren auf einem Chip etwa alle zwei Jahre verdoppelt. Dies führte lange Zeit zu exponentiellen Leistungssteigerungen und Kostensenkungen in der Halbleiterindustrie.

**NDA (Non-Disclosure Agreement, Geheimhaltungsvereinbarung):** Ein Vertrag, der die Vertraulichkeit von Informationen zwischen zwei Parteien sicherstellt. In der Halbleiterindustrie ist ein NDA oft erforderlich, um Zugang zu vertraulichen Dokumentationen, Design Kits (PDKs) oder Technologien zu erhalten.

**Netlist:** Eine Beschreibung der elektrischen Verbindungen zwischen den verschiedenen Komponenten eines Schaltkreises. Sie wird in der Entwurfsautomatisierung verwendet, um das logische Design eines Chips in eine physische Implementierung zu überführen.

**OS (Open Source, Quelloffen):** Ein Entwicklungsmodell, bei dem Designdateien, Software oder Hardware öffentlich zugänglich gemacht werden. Im Chipdesign gibt es Open-Source-EDA-Tools, Open-Source-Prozessorarchitekturen (zum Beispiel RISC-V) und Open-Source-IP-Designs, die die Transparenz und Zusammenarbeit fördern.

**Packaging (Gehäuseteknologie):** Der Prozess, bei dem ein fertiger Halbleiterchip in ein schützendes Gehäuse eingebettet wird. Das Packaging sorgt für mechanische Stabilität, Wärmeableitung und elektrische Verbindungen zur Außenwelt. Moderne Techniken umfassen 2.5D- und 3D-Packaging, die mehrere Chips in einem Gehäuse integrieren.

**Parasitic Extraction (Parasiteneffektextraktion):** Ein Analyseprozess zur Berechnung unerwünschter elektrischer Effekte (parasitische Widerstände, Kapazitäten, Induktivitäten) im Layout. Diese Effekte können die Signalintegrität und Leistungsfähigkeit eines Chips beeinflussen.

**PDK (Process Design Kit):** Eine Sammlung von Daten und Regeln, die von einem Halbleiterhersteller bereitgestellt wird, um das Design von Chips für eine spezifische Fertigungstechnologie zu ermöglichen. Ein PDK enthält zum Beispiel Designregeln, Simulationsmodelle und Standardzellenbibliotheken.

**Photonik:** Ein Bereich der Halbleitertechnologie, der sich mit der Integration von Lichtwellenleitern und optischen Bauelementen in Chips befasst. Photonikchips werden für Hochgeschwindigkeitsdatenübertragung, Sensorik und Quantencomputing eingesetzt.

**Place and Route (Platzierung und Verdrahtung):** Ein wichtiger Schritt im Chipentwurfprozess, bei dem die physischen Positionen der Bauelemente auf dem Siliziumchip festgelegt (Placement) und die elektrischen Verbindungen zwischen ihnen hergestellt werden (Routing).

**RF (Radio Frequency, Hochfrequenztechnik):** Ein Bereich des Chipdesigns, der sich mit Schaltungen für drahtlose Kommunikation befasst, zum Beispiel für Mobilfunk, WLAN oder Satellitenkommunikation. RF-Design erfordert spezielle Techniken zur Minimierung von Rauschen und Interferenzen.

**RRAM (Resistive Random Access Memory):** Dies beschreibt einen nichtflüchtigen Speichertyp, der durch Änderung des elektrischen Widerstandes eines schwach leitfähigen Dielektrikums Information speichert.

**Schematic (Schaltplan):** Eine grafische Darstellung einer elektronischen Schaltung, die zeigt, wie Bauteile miteinander verbunden sind. Schaltpläne sind die Grundlage für die Schaltungssimulation und das Layoutdesign.

**Signoff:** Der finale Schritt im Chipdesignprozess, bei dem das Design überprüft wird, bevor es zur Fertigung freigegeben wird. Dazu gehören Timing-Analyse, DRC (Design Rule Check), LVS (Layout versus Schematic) und andere Verifikationsschritte.

**SiP (System in Package):** Dies beschreibt eine Gruppe integrierter Schaltkreise (ICs), welche gemeinsam in einem Package kombiniert wurden.

**SRAM (Static Random-Access Memory):** Ein schneller, energieeffizienter Speicher, der in Prozessor-Caches verwendet wird. Im Gegensatz zu DRAM benötigt SRAM keine regelmäßige Auffrischung, da Daten in Flip-Flops gespeichert werden.



**Synthese** (Logic Synthesis): Der Prozess, bei dem eine abstrakte Beschreibung eines digitalen Designs (zum Beispiel in Verilog oder VHDL) automatisch in eine Netlist aus Gattern umgewandelt wird. Die Synthese optimiert das Design hinsichtlich Fläche, Geschwindigkeit und Energieverbrauch.

**TSMC** (Taiwan Semiconductor Manufacturing Company): Der weltweit führende Halbleiterfertiger (Foundry), der Chips für viele Unternehmen produziert, darunter Apple, NVIDIA und AMD. TSMC ist Vorreiter bei fortschrittlichen Fertigungsprozessen wie 3 nm und 2 nm.

**Validation** (Validierung): Der Prozess der Sicherstellung, dass das entwickelte Produkt die Anforderungen des Endnutzers erfüllt. Während die Verifikation überprüft, ob das Design korrekt implementiert wurde, stellt die Validierung sicher, dass das richtige Design entwickelt wurde.

**Verification** (Verifikation): Der Prozess der Überprüfung, ob ein entworfener Schaltkreis oder ein System korrekt funktioniert und den Spezifikationen entspricht. Dabei werden verschiedene Methoden wie Simulation, formale Verifikation und Emulation eingesetzt.

# Literatur

## Abel et al. 1986

Abel, E./Gorges, M./Heckl, H./Plöger, P. G./Vierhaus, H. T./Wölcken, K.: „Die E.I.S.-Entwurfsoftware“. In: *Informationstechnik*, 28: 3, 1986.

## acatech 2020

acatech – Deutsche Akademie der Technikwissenschaften: *Innovationspotenziale der Quantentechnologien der zweiten Generation* (acatech IMPULS), 2020. URL: <https://www.acatech.de/publikation/innovationspotenziale-der-quantentechnologien/> [Stand: 24.03.2025].

## acatech 2024a

acatech – Deutsche Akademie der Technikwissenschaften: *Souveräne Antworten. Anwendung und Entwicklung generativer Künstlicher Intelligenz in Deutschland* (acatech IMPULS), 2024. URL: <https://www.acatech.de/publikation/generative-kuenstliche-intelligenz/> [Stand: 08.04.2025].

## acatech 2024b

acatech – Deutsche Akademie der Technikwissenschaften: *Innovationsfähigkeit in der Zeitenwende* (acatech IMPULS), 2024. URL: <https://www.acatech.de/publikation/innovationsfaehigkeit-in-der-zeitenwende/> [Stand: 08.04.2025].

## all electronics 2024

all electronics: *Top 20. Die wertvollsten Wirtschaftszweige 2024*, 2024. URL: <https://www.all-electronics.de/markt/top-20-die-wertvollsten-wirtschaftszweige-2024-670.html> [Stand: 17.03.2025].

## Bitkom e. V. 2024

Bitkom e. V.: *Open-Source-Leitfaden*, Berlin 2024. URL: <https://www.bitkom.org/sites/main/files/2023-03/BitkomLeitfadenOpenSourceSoftware31.pdf> [Stand: 29.04.2025].

## BMWK/BMBF 2025

BMWK/BMBF: *Forschung, Fachkräfte, Fertigung. Impuls für das Mikroelektronik-Ökosystem in Deutschland und Europa*, 2025. URL: [https://elektronikforschung.de/dateien/publikationen/positionspapier-mikroelektronik-bmbf\\_bmwk.pdf](https://elektronikforschung.de/dateien/publikationen/positionspapier-mikroelektronik-bmbf_bmwk.pdf) [Stand: 25.03.2025].

## Boston Consulting Group 2022

Boston Consulting Group: *The Growing Challenge of Design Leadership*, 2022. URL: <https://web-assets.bcg.com/3f/b4/fd384ccd46dc8a381bd61a648105/bcg-the-growing-challenge-of-semiconductor-design-leadership-nov-2022-r.pdf> [Stand: 29.04.2025].

## Boston Consulting Group/SIA 2021

Boston Consulting Group/SIA: *Strengthening the Global Supply Chain in an Uncertain Era*, 2021. URL: <https://www.bcg.com/publications/2021/04/strengthening-the-global-semiconductor-value-chain-april-2021> [Stand: 29.04.2025].

## Chipdesign Germany 2025

Chipdesign Germany: *Chipdesign Germany, das Netzwerk für Chipdesign in Deutschland*, 2025. URL: <https://www.chipdesign-germany.de/de/> [Stand: 24.03.2025].

## Chipflow 2025

Chipflow: *Setting the Stage for Disruption*, 2025. URL: <https://www.chipflow.io/about> [Stand: 08.04.2025].

## Chips JU 2025

Chips JU: *Empowering Europe's Semiconductor Industry*, 2025. URL: <https://www.chips-ju.europa.eu/#> [Stand: 20.03.2025].

## Cobby 2023

Cobby, R.: *The Eurochip. The Quest for the European Microchip from the 1980s to the Present*, 2023. URL: <https://www.phenomenalworld.org/analysis/the-eurochip/> [Stand: 14.03.2025].

## Computerwoche 1988

Computerwoche: *Siemens, Bull und ICL wollen EG-Fördermittel*, 1988. URL: <https://www.computerwoche.de/article/2787860/siemens-bull-und-icl-wollen-eg-foerdermittel.html> [Stand: 14.03.2025].

## Der Spiegel 1984

Der Spiegel: *Projekt Mega. Siemens und Philips wollen mit Super-Chips Amerikaner und Japaner in der Mikroelektronik einholen*, 1984. URL: <https://www.spiegel.de/wirtschaft/projekt-mega-a-3709edd2-0002-0001-0000-000013513341> [Stand: 14.03.2025].

## Donoho 2024

Donoho, D.: „Data Science at the Singularity“. In: *Harvard Data Science Review*, 6: 1, 2024.



#### Dudek/Wirth 2025

Dudek, D./Wirth, M.: „More Moore or Beyond Moore? Innovationen in Zeiten von DeepSeek“. In: *VDE Info*, 2025. URL: <https://www.vde.com/resource/blob/2367622/0c98a5cc532acf268d6f25af2317dff3/more-moore-or-beyond-moore-data.pdf> [Stand: 29.04.2025].

#### Duparc et al. 2022

Duparc, E./Möller, F./Jussen, I./Stachon, M./Algac, S./Otto, B.: „Archetypes of Open-source Business Models“. In: *Electronic Markets*, 32: 2, 2022, S. 727–745.

#### ElektronikPraxis 2023

ElektronikPraxis: *Schon in wenigen Jahren Weltmarktführer? Leistungshalbleiter. China drängt an die Spitze*, 2023. URL: <https://www.elektronikpraxis.de/leistungshalbleiter-china-draengt-an-die-spitze-a-cf40e737923051ac094fafa314ca190/> [Stand: 06.03.2025].

#### ETH Zürich 2024

ETH Zürich: *PULP. An Open Parallel Ultra-Low-Power Processing Platform*, 2024. URL: <https://iis-projects.ee.ethz.ch/index.php/PULP> [Stand: 20.03.2025].

#### Europäische Kommission 1985

Europäische Kommission: *ESPRIT. Building on Success*, 1985. URL: [https://ec.europa.eu/commission/presscorner/detail/en/ip\\_85\\_409](https://ec.europa.eu/commission/presscorner/detail/en/ip_85_409) [Stand: 08.04.2025].

#### Europäische Kommission 2024a

Europäische Kommission: *The 2024 EU Industrial R&D Investment Scoreboard*, 2024. URL: <https://iri.jrc.ec.europa.eu/scoreboard/2024-eu-industrial-rd-investment-scoreboard> [Stand: 08.04.2025].

#### Europäische Kommission 2024b

Europäische Kommission: *The Draghi Report on EU Competitiveness. A Competitiveness Strategy for Europe (Part A)*, 2024. URL: [https://commission.europa.eu/topics/eu-competitiveness/draghi-report\\_en](https://commission.europa.eu/topics/eu-competitiveness/draghi-report_en) [Stand: 18.02.2025].

#### Europäische Kommission 2025

Europäische Kommission: *European Chips Act*, 2025. URL: <https://digital-strategy.ec.europa.eu/en/policies/european-chips-act> [Stand: 20.03.2025].

#### Expertenkommission Forschung und Innovation 2025

Expertenkommission Forschung und Innovation: *Gutachten 2025, Gutachten zu Forschung, Innovation und technologischer Lesitungsfähigkeit Deutschlands*, 2025.

URL: [https://www.e-fi.de/fileadmin/Assets/Gutachten/2025/EFI\\_Gutachten\\_2025\\_30125.pdf](https://www.e-fi.de/fileadmin/Assets/Gutachten/2025/EFI_Gutachten_2025_30125.pdf) [Stand: 25.03.2025].

#### FAZ 2019

FAZ: *Apple will Sparte von Intel übernehmen*, 2019. URL: <https://www.faz.net/aktuell/wirtschaft/unternehmen/apple-will-sparte-von-intel-uebernehmen-16298962.html> [Stand: 20.01.2025].

#### Ferreira 2022

Ferreira, I.: *Open Source Governance Models Explained*, 2022. URL: <https://iferreiradev.medium.com/open-source-governance-models-explained-723a3ffd59b6> [Stand: 25.03.2025].

#### Fraunhofer IIS 2024

Fraunhofer IIS: *Chiplet-Innovationen für Europa. Startschuss für APECS-Pilotlinie im Rahmen des EU Chips Acts*, 2024. URL: [https://www.iis.fraunhofer.de/de/pr/2024/pressemitteilung\\_startschuss\\_apecs\\_pilotlinie.html](https://www.iis.fraunhofer.de/de/pr/2024/pressemitteilung_startschuss_apecs_pilotlinie.html) [Stand: 20.03.2025].

#### Fuest et al. 2024

Fuest, C./Gros, D./Mengel, P.-L./Presidente, G./Tirole/J.: *EU Innovation Policy*, 2024.

#### Germann et al. 2024

Germann, J./Rolf, S./Baines, J./Kenji Starrs, S.: „A Chip War Made in Germany? US Techno-Dependencies, China Chokepoints, and the German Semiconductor Industry“. In: *Politics and Governance*, 2024: 12, 2024.

#### GitHub 2025a

GitHub: *GlobalFoundries GF180MCU Open Source PDK*, 2025. URL: <https://github.com/google/gf180mcu-pdk> [Stand: 08.04.2025].

#### GitHub 2025b

GitHub: *RIOSLaboratory/Open3DFlow*, 2025. URL: <https://github.com/RIOSLaboratory/Open3DFlow> [Stand: 08.04.2025].

#### Government of the Netherlands 2025

Government of the Netherlands: *Common Statement Kick off Semicon Coalition*, 2025. URL: <https://www.government.nl/documents/diplomatic-statements/2025/03/12/common-statement-kick-off-semicon-coalition> [Stand: 25.03.2025].

#### Greene 2001

Greene, T. C.: *Ballmer. ‚Linux is a Cancer‘. Contaminates all Other Software with Hippy GPL Rubbish*, 2001. URL: [https://www.theregister.com/2001/06/02/ballmer\\_linux\\_is\\_a\\_cancer/?utm\\_source=chatgpt.com](https://www.theregister.com/2001/06/02/ballmer_linux_is_a_cancer/?utm_source=chatgpt.com) [Stand: 08.04.2025].

**Handelsblatt 2025a**

Handelsblatt: *Nvidia setzt auf KI für Roboter und selbstfahrende Autos*, 2025. URL: <https://www.handelsblatt.com/technik/it-internet/chipindustrie-nvidia-setzt-auf-ki-fuer-roboter-und-selbstfahrende-autos/100099019.html> [Stand: 08.04.2025].

**Handelsblatt 2025b**

Handelsblatt: *So mischt Elon Musks Starlink den Mobilfunkmarkt auf*, 2025. URL: <https://www.handelsblatt.com/technik/it-internet/elon-musk-so-mischt-starlink-den-mobilfunkmarkt-auf-02/100098882.html> [Stand: 25.03.2025].

**Hochschule RheinMain 2021a**

Hochschule RheinMain: *Digitale Infrastruktur durch Forschung stärken*, 2021. URL: <https://www.hs-rm.de/de/hochschule/aktuelles/details/artikel/digitale-infrastruktur-durch-forschung-staerken> [Stand: 24.03.2025].

**Hochschule RheinMain 2021b**

Hochschule RheinMain: *Progenitor*, 2021. URL: <https://www.hs-rm.de/de/fachbereiche/design-informatik-medien/forschung/progenitor> [Stand: 24.03.2025].

**Hoeffle 2024**

Hoeffle, M.: *Deutschland verliert an Wohlstand. Die große Hightech-Schwäche*, 2024. URL: <https://www.managerismus.com/themen/wertschoepfung/denkschrift-56> [Stand: 08.04.2025].

**IBM 2025**

IBM: *Qiskit*, 2025. URL: <https://www.ibm.com/quantum/qiskit> [Stand: 08.04.2025].

**IHP PDK 2024**

IHP PDK: *IHP 130nm BiCMOS Open Source PDK Documentation*, 2024. URL: <https://ihp-open-pdk-docs.readthedocs.io/en/latest/> [Stand: 08.04.2025].

**Kissner et al. 2024**

Kissner, M./Del Bino, L./Päsler, F./Caruana, P./Ghalanos, G.: „An All-Optical General-Purpose CPU and Optical Computer Architecture“. In: *Journal of Lightwave Technology*, 2024.

**McKinsey Global Institute 2024**

McKinsey Global Institute: *The Next Big Arenas of Competition*, 2024. URL: <https://www.mckinsey.com/mgi/our-research/the-next-big-arenas-of-competition> [Stand: 08.04.2025].

**Miller 2023**

Miller, C.: *Chip War. The Fight for the Worlds Most Critical Technology*, London 2023.

**Moore 2020**

Samuel K. Moore: *A Better Way to Measure Progress in Semiconductors*, 2020. URL: <https://spectrum.ieee.org/how-google-and-intel-use-calibre-designenhancer-to-reduce-ir-drop-and-improve-reliability> [Stand: 04.04.2025].

**OECD 2022**

OECD: *OECD Reviews of Innovation Policy. Germany 2022. Building Agility for Successful Transitions*, 2022. URL: [https://www.oecd.org/en/publications/oecd-reviews-of-innovation-policy-germany-2022\\_50b32331-en.html](https://www.oecd.org/en/publications/oecd-reviews-of-innovation-policy-germany-2022_50b32331-en.html) [Stand: 25.03.2025].

**open source initiative 2024**

open source initiative: *The Open Source Definition*, 2024. URL: <https://opensource.org/osd> [Stand: 18.02.2025].

**OpenROAD 2025**

OpenROAD: *OpenROAD. Democratizing Hardware Design*, 2025. URL: <https://theopenroadproject.org/> [Stand: 24.03.2025].

**OpenROAD Initiative 2025**

OpenROAD Initiative: *OpenROAD Initiative. Democratize Chip Design, the Open-Source Way!*, 2025. URL: <https://openroadinitiative.org/#Projects> [Stand: 24.02.2025].

**opentitan 2025**

opentitan: *Introduction to the OpenTitan Project*, 2025. URL: [https://opentitan.org/book/doc/project\\_governance/index.html#introduction-to-the-opentitan-project](https://opentitan.org/book/doc/project_governance/index.html#introduction-to-the-opentitan-project) [Stand: 24.03.2025].

**OSSWATCH 2010**

OSSWATCH: *Governance Models*, 2010. URL: <http://oss-watch.ac.uk/resources/governancemodels> [Stand: 25.03.2025].

**Qiskit Community 2025**

Qiskit Community: *Qiskit Metal. Quantum Device Design & Analysis (Q-EDA) 0.1.5*, 2025. URL: <https://qiskit-community.github.io/qiskit-metal/> [Stand: 08.04.2025].

**Raymond 2001**

Raymond, E.S.: *The Cathedral and the Bazaar. Musings on Linux and Open Source by an Accidental Revolutionary*, 2001.

**Recht 2024**

Recht, B.: „The Mechanics of Frictionless Reproducibility“. In: *Harvard Data Science Review*, 6, 2024.



### Sächsische Staatskanzlei 2025

Sächsische Staatskanzlei: *Konferenz der Regierungschefinnen und Regierungschefs der Länder am 12. März 2025 in Berlin*, 2025. URL: [https://www.ministerpraesident.sachsen.de/ministerpraesident/07\\_TOP5\\_Beschluss\\_MPK\\_RS.pdf](https://www.ministerpraesident.sachsen.de/ministerpraesident/07_TOP5_Beschluss_MPK_RS.pdf) [Stand: 25.03.2025].

### Schumacher 2024

Schumacher A.: *Semiconductors Beyond Nanometers*, 2024. URL: <https://community.infineon.com/t5/Blogs/Semiconductors-beyond-nanometers/ba-p/703157#> [Stand: 28.04.2025].

### Shivakumar/Wessner 2022

Shivakumar, S./Wessner, C.: *Semiconductors and National Defense. What Are the Stakes?*, 2022. URL: <https://www.csis.org/analysis/semiconductors-and-national-defense-what-are-stakes> [Stand: 08.04.2025].

### Stallman 2024

Stallman, R.: *Why Open Source Misses the Point of Free Software*, 2024. URL: [https://www.gnu.org/philosophy/open-source-misses-the-point.en.html?utm\\_source=chatgpt.com](https://www.gnu.org/philosophy/open-source-misses-the-point.en.html?utm_source=chatgpt.com) [Stand: 18.02.2025].

### Statista 2023

Statista: *Mikrochip- und Halbleiterfertigung. Welches europäische Land exportiert die meisten Halbleiter?*, 2023. URL: <https://de.statista.com/infografik/26805/europaeische-laender-mit-dem-hoechsten-exporthandelswert-fuer-integrierte-schaltkreise/> [Stand: 08.04.2025].

### Statista 2024

Statista: *Anzahl der Elektrotechnik- und Elektronikstudierenden in Deutschland in den Wintersemestern 2010/11 bis 2023/24*, 2024. URL: <https://de.statista.com/statistik/daten/studie/261137/umfrage/studierendenanzahl-im-bereich-elektrotechnik-elektronik-in-deutschland/> [Stand: 08.04.2025].

### Statista 2025

Statista: *Die umsatzstärksten Chipunternehmen weltweit im Jahr 2025*, 2025. URL: <https://de.statista.com/statistik/daten/studie/1306833/umfrage/umsatzstaerkste-chiphersteller-weltweit/> [Stand: 08.04.2025].

### Stroh 2025

Stroh, I.: *Förderung der Mikroelektronik. European Chips Act. Wachstum oder Stillstand?*, 2025. URL: <https://www.elektroniknet.de/halbleiter/european-chips-act-wachstum-oder-stillstand.223294.html> [Stand: 08.04.2025].

### Techmonitor 1989

Techmonitor: *ICL, SGS-Thomson, Siemens Make Progress With Aida Chip Design Tools Project*, 1989. URL: [https://www.techmonitor.ai/technology/icl\\_sgs\\_thomson\\_siemens\\_make\\_progress\\_with\\_aida\\_chip\\_design\\_tools\\_project](https://www.techmonitor.ai/technology/icl_sgs_thomson_siemens_make_progress_with_aida_chip_design_tools_project) [Stand: 14.03.2025].

### Teich 2012

Teich, J.: „Hardware/Software Codesign. The Past, the Present, and Predicting the Future, Special Centennial Issue“. In: *Proceedings of the IEEE*, 2012: 100, 2012.

### The FOSSi Foundation 2024

The FOSSi Foundation: *Recommendations and Roadmap for Open-Source EDA in Europe*, 2024. URL: <https://drive.google.com/file/d/1dVli6BnwZg78IU1jd8lq7z0UYfAnwBdW/view> [Stand: 21.02.2025].

### Wagner 2025

Wagner, B.: *Standortradar Deutschland. Wirtschaft, Transformation, Zukunft. 20 Jahre verschlafen. Warum die deutsche Wirtschaft wirklich lahmt und wie sie aus der Krise kommen kann*, 2025. URL: <https://advyce.com/standortradar-deutschland/> [Stand: 08.04.2025].

### West 2020

West, J.: *The Changing Cost Structure of Semiconductor Test*, 2020. URL: [https://www.swtest.org/wp-content/uploads/2020/06/Road-Ahead\\_Webinar\\_VLSIResearch\\_West-06242020.pdf](https://www.swtest.org/wp-content/uploads/2020/06/Road-Ahead_Webinar_VLSIResearch_West-06242020.pdf) [Stand: 08.04.2020].

### WirtschaftsWoche 2024

WirtschaftsWoche: *Qimonda-Pleite. Infineon muss 753 Millionen Euro zahlen*, 2024. URL: <https://www.wiwo.de/unternehmen/it/vergleich-mit-insolvenzverwalter-qimonda-pleite-infineon-muss-753-millionen-euro-zahlen/29958736.html> [Stand: 20.02.2025].

### World Trade Organization 2023

World Trade Organization: *Global Value Chain Development Report 2023. Resilient and Sustainable GVCs in Turbulent Times*, 2023. URL: [https://www.wto.org/english/res\\_e/publications\\_e/gvc\\_dev\\_rep23\\_e.htm](https://www.wto.org/english/res_e/publications_e/gvc_dev_rep23_e.htm) [Stand: 08.04.2025].

### ZVEI/PwC 2024

ZVEI/PwC: *Von Chips zu Chancen. Die Bedeutung und Wirtschaftlichkeit der Mikroelektronikförderung*, 2024. URL: [https://www.zvei.org/fileadmin/user\\_upload/Presse\\_und\\_Medien/Pressebereich/2024-092\\_ZVEI-Studie\\_Halbleiterfoerderung-rechnet-sich-volkswirtschaftlich/ZVEI\\_Mikroelektronik\\_Studie\\_v19.pdf](https://www.zvei.org/fileadmin/user_upload/Presse_und_Medien/Pressebereich/2024-092_ZVEI-Studie_Halbleiterfoerderung-rechnet-sich-volkswirtschaftlich/ZVEI_Mikroelektronik_Studie_v19.pdf) [Stand: 08.04.2025].



## Über acatech – Deutsche Akademie der Technikwissenschaften

acatech berät Politik und Gesellschaft, unterstützt die innovationspolitische Willensbildung und vertritt die Technikwissenschaften international. Ihren von Bund und Ländern erteilten Beratungsauftrag erfüllt die Akademie unabhängig, wissenschaftsbasiert und gemeinwohlorientiert. acatech verdeutlicht Chancen und Risiken technologischer Entwicklungen und setzt sich dafür ein, dass aus Ideen Innovationen und aus Innovationen Wohlstand, Wohlfahrt und Lebensqualität erwachsen. acatech bringt Wissenschaft und Wirtschaft zusammen. Die Mitglieder der Akademie sind herausragende Wissenschaftlerinnen und Wissenschaftler aus den Ingenieur- und den Naturwissenschaften, der Medizin sowie aus den Geistes- und Sozialwissenschaften. Die Senatorinnen und Senatoren sind Persönlichkeiten aus technologieorientierten Unternehmen und Vereinigungen sowie den großen Wissenschaftsorganisationen. Neben dem acatech FORUM in München als Hauptsitz unterhält acatech Büros in Berlin und Brüssel.

Weitere Informationen unter [www.acatech.de](http://www.acatech.de).



**Herausgeber:**

**Prof. Dr.-Ing. Wolfgang Nebel**  
edacentrum e. V.  
Schneiderberg 32  
30167 Hannover

**Prof. Dr.-Ing. mult. Robert Weigel**  
Friedrich-Alexander-Universität Erlangen-Nürnberg (FAU)  
Lehrstuhl für Intelligente Technische Elektronik und Systeme  
Cauerstraße 9  
91058 Erlangen

**Reihenherausgeber:**

**acatech – Deutsche Akademie der Technikwissenschaften, 2025**

Geschäftsstelle	Hauptstadtbüro	Brüssel-Büro
Karolinenplatz 4	Georgenstraße 25	Rue d'Egmont/Egmontstraat 13
80333 München	10117 Berlin	1000 Brüssel   Belgien
T +49 (0)89/52 03 09-0	T +49 (0)30/2 06 3096-0	T +32 (0)2/2 13 81-80
F +49 (0)89/52 03 09-900	F +49 (0)30/2 06 3096-11	F +32 (0)2/2 13 81-89

info@acatech.de  
www.acatech.de

acatech @ LinkedIn | Instagram | YouTube

Präsidenten und VizepräsidentInnen: Prof. Dr.-Ing. Johann-Dietrich Wörner, Prof. Dr.-Ing. Thomas Weber,  
Prof. Dr. Ann-Kristin Achleitner, Prof. Dr. Ursula Gather, Dr. Stefan Oschmann, Prof. Dr. Christoph M. Schmidt

Registergericht AG München, VR 20 20 21  
Vorstand i.S.v. § 26 BGB: Prof. Dr.-Ing. Johann-Dietrich Wörner, Prof. Dr.-Ing. Thomas Weber, Wolfgang Siegel

**Empfohlene Zitierweise:**

Nebel, W./Weigel, R. (Hrsg.): *Quelloffene Designinstrumente für souveräne Chipentwicklung* (acatech IMPULS), München 2025.  
DOI: [https://doi.org/10.48669/aca\\_2025-3](https://doi.org/10.48669/aca_2025-3)

ISSN 2702-7627

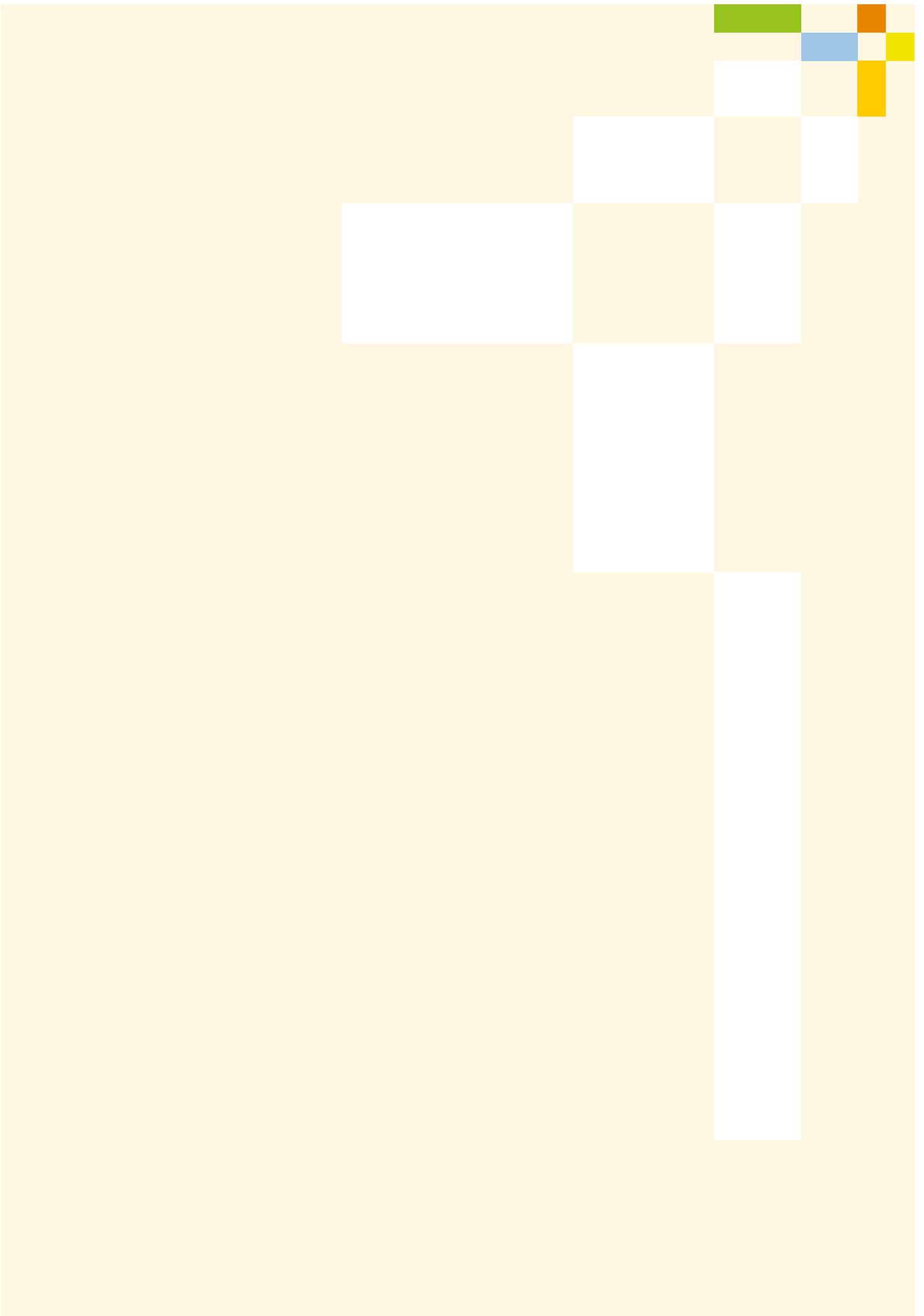
Bibliografische Information der Deutschen Nationalbibliothek  
Die Deutsche Nationalbibliothek verzeichnet diese Publikation in der Deutschen Nationalbibliografie;  
detaillierte bibliografische Daten sind im Internet über <http://dnb.d-nb.de> abrufbar.

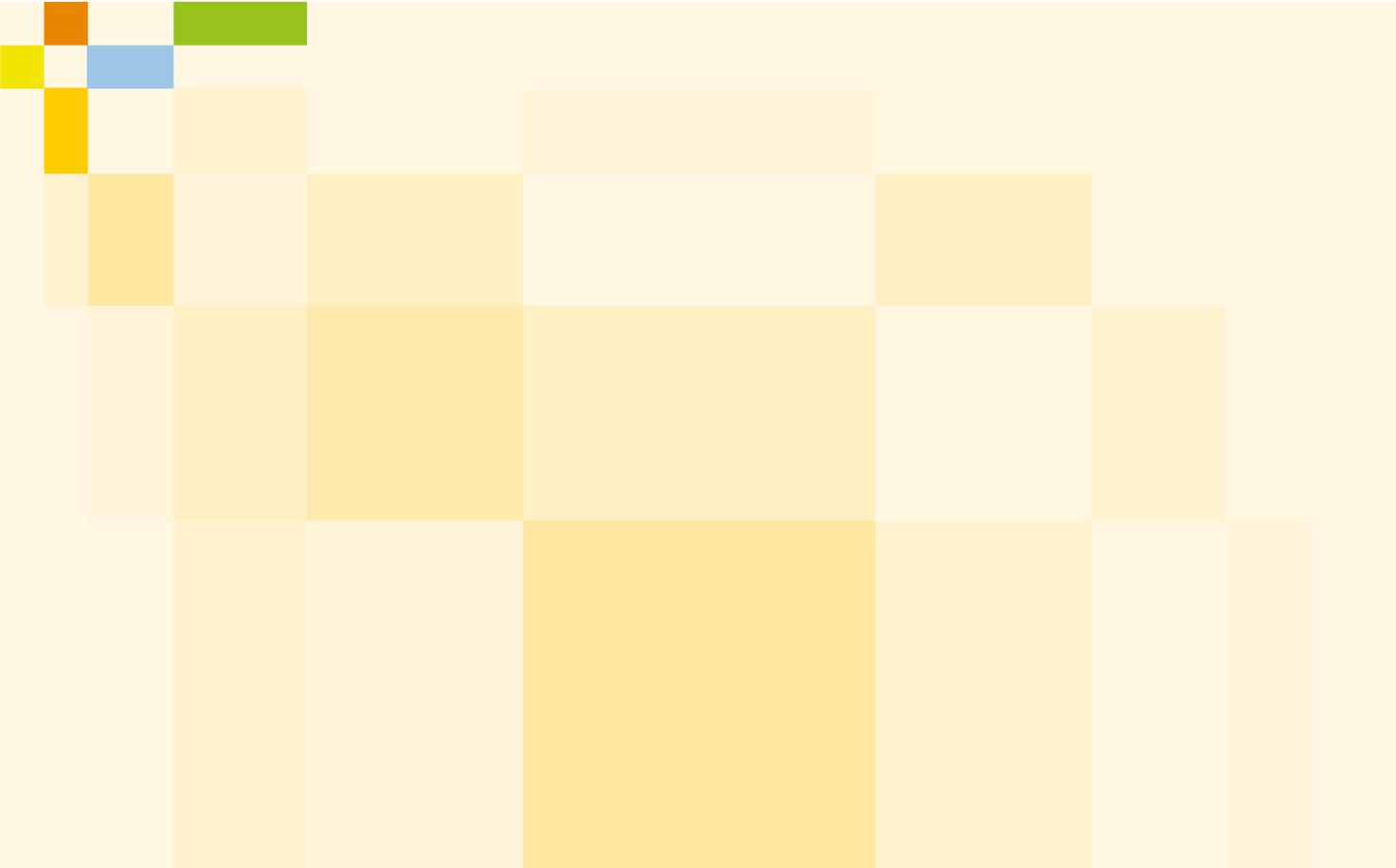
Dieses Werk ist urheberrechtlich geschützt. Die dadurch begründeten Rechte, insbesondere die der Übersetzung,  
des Nachdrucks, der Entnahme von Abbildungen, der Wiedergabe auf fotomechanischem oder ähnlichem Wege  
und der Speicherung in Datenverarbeitungsanlagen bleiben – auch bei nur auszugsweiser Verwendung – vorbehalten.

Copyright © acatech – Deutsche Akademie der Technikwissenschaften • 2025

Koordination: Dr.-Ing. Patrick Bollgrün  
Layout-Konzeption: Groothuis, Hamburg  
Titelfotos: : iStock/laurence-dutton  
Konvertierung und Satz: Heilmeyer und Sernau Gestaltung, Berlin

Die Originalfassung der Publikation ist verfügbar auf [www.acatech.de](http://www.acatech.de).





Der Entwurf moderner elektronischer Schaltungen ist ohne spezielle Designsoftware undenkbar. Allerdings stellen die etablierten proprietären Lösungen aufgrund rechtlicher Beschränkungen und hoher Lizenzgebühren für kleine Unternehmen und Start-ups eine große Hürde bei der Entwicklung eigener Mikrochips dar. Quelloffene (Open-Source) Designwerkzeuge bieten eine interessante Alternative, wengleich sie den umfassenden industriellen Anforderungen derzeit noch nicht gerecht werden.

Die vorliegende Publikation untersucht, für welche Technologien und Anwendungen quelloffene Designinstrumente zukünftig eingesetzt werden können, um einen Beitrag zur technologischen Souveränität und Innovationsfähigkeit in Europa zu leisten.

ISBN 978-3-96834-037-1

